

Троичный RS1S2-триггер (S0S1S2-триггер, S0S1S2-latch, 3S-триггер, 3S-latch), трёхбитный одноединичный (3B BCT UnoUnary) P0P1P2trig(3x3ORNOT)+3x2OR

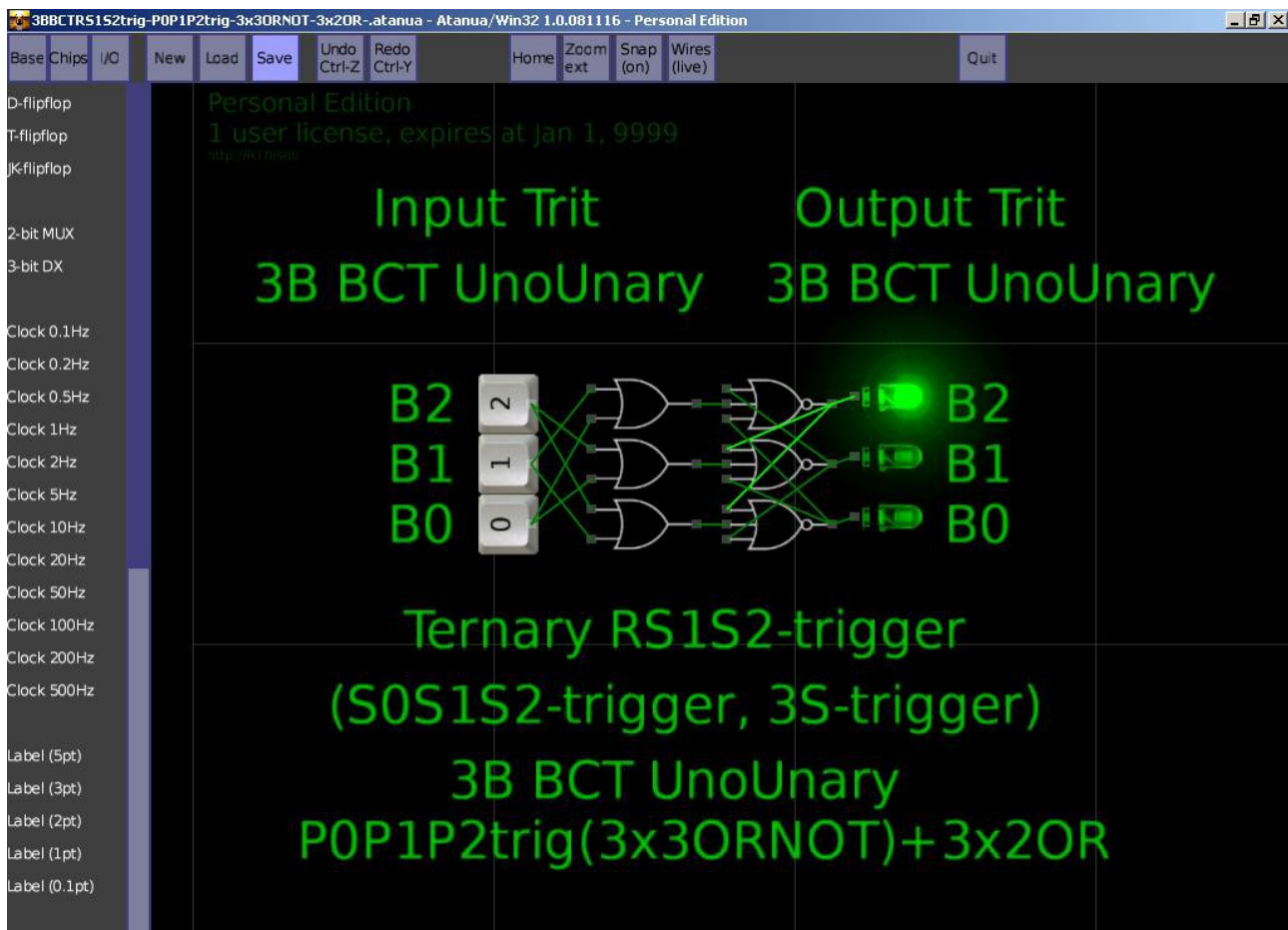


Рис.1. Снимок модели троичного трёхбитного одноединичного (3B BCT UnoUnary) RS1S2-триггера (S0S1S2-триггера, 3S-триггера) P0P1P2trig(3x3ORNOT)+3x2OR в симуляторе логических схем Atanua/Win32 1.0.081116 - Personal Edition.

Троичный трёхбитный 3S-триггер (3Set-триггер, Set0Set1Set2-триггер, S0S1S2-триггер, ResetSet1Set2-триггер, RS1S2-триггер) является троичным трёхбитным подобием двоичного RS-триггера (ResetSet-триггера, Set0Set1-триггера, S0S1-триггера, 2S-триггера) с тремя установочными входами: Reset(Set0), Set1 и Set2.

Так как в троичной симметричной системе состоянием Reset является состояние S1, а не состояние S0, то обозначение Reset может менять место и является вспомогательным, а не основным, а обозначения Set0, Set1 и Set2 являются основными.

Трёхбитный вход 3S-триггера имеет четыре состояния: $(B0, B1, B2) = (0, 0, 0)$ - состояние хранения записанной информации и три состояния установки триггера Set0 $(B0, B1, B2) = (001)$, Set1 $(B0, B1, B2) = (010)$ и Set2 $(B0, B1, B2) = (100)$. Для [кодирования тритов](#) в триггере используется троичный трёхбитный одноединичный (3Bit BinaryCodedTernary UnoUnary, 3B BCT UU, "трёхпроводный"

однородный) код.

Триггер состоит из двух частей: собственно [троичного триггера P0P1P2](#) (Point0Point1Point3, Pin0Pin1Pin2, он же 3P-триггер, он же "трёхточка на NOR3", он же **ячейка троичной SRAM-памяти**) на трёх логических элементах NOR3 (3-in NOR, ЗИЛИ-НЕ) и схемы более удобного управления P0P1P2-триггером на трёх логических элементах OR2 (2-in OR, 2ИЛИ).

Так как, в отличие от двоичных триггеров, троичных триггеров может быть значительно большее множество, то, подобно химическим соединениям в химии, на снимке, кроме схемы (подобия структуры химического соединения), указана количественная формула соединения логических элементов 3S-триггера: $3xOR2+3xNOR3$ ($3x2inOR+3x3inNOR$, $3x2ИЛИ+3x3ИЛИ-НЕ$).

Троичный трёхбитный 3S-триггер может быть выполнен и на логических элементах $3xAND2+3xNAND3$, но при этом (без введения отрицательной логики) потребуется большое количество (6 штук) дополнительных инверторов.

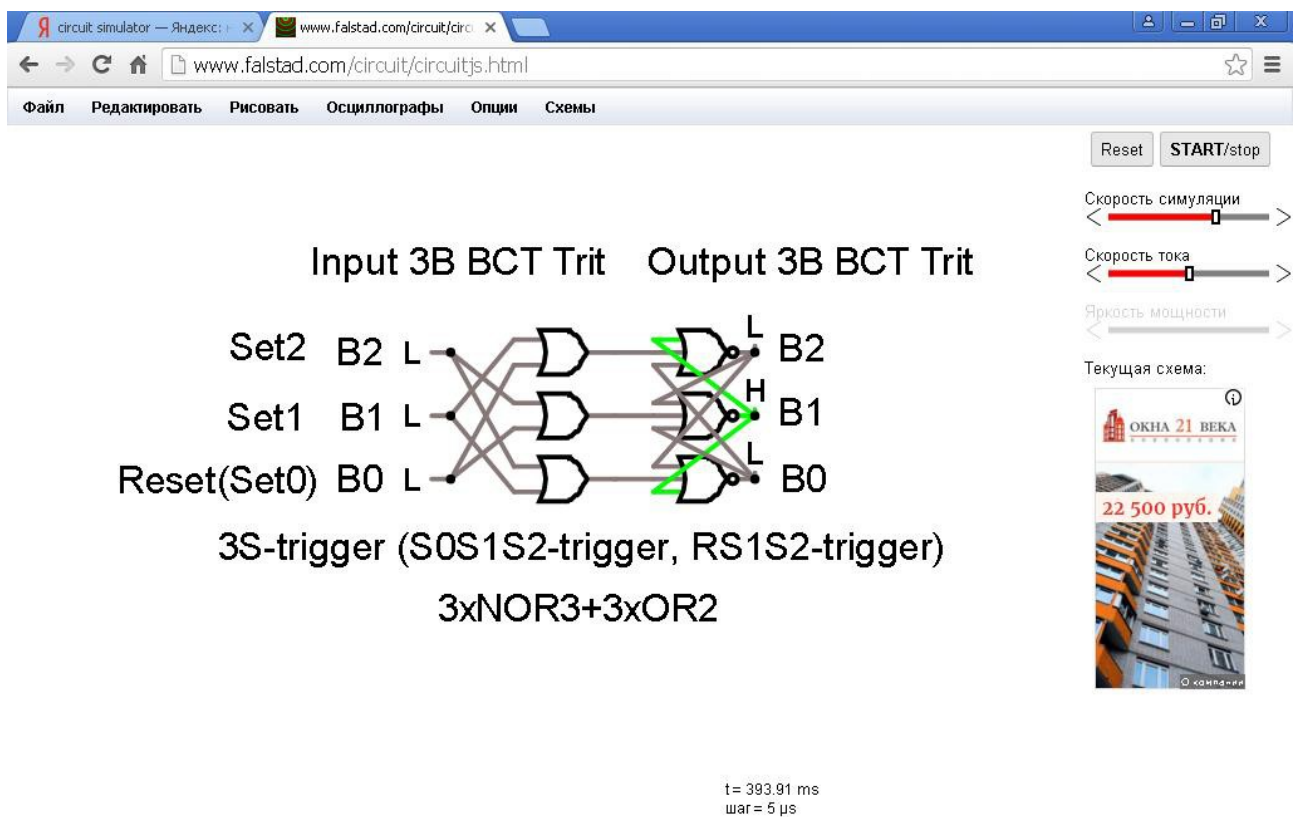


Рис.2. Снимок модели троичного трёхбитного 3S-триггера в [онлайн-версии симулятора электронных схем Circuit Simulator с портом в HTML5 на JavaScript](#).

Загрузить [онлайн-версию симулятора электронных схем Circuit Simulator с портом в HTML5 на JavaScript](#) с моделью троичного трёхбитного 3S-триггера: <http://tinyurl.com/yccxhgjf>.

3S-триггер может быть применён в большом множестве различных устройств, например, в устройствах дистанционного (радио, лазерного, ИК или проводного)

управления моделями судов, автомобилей и др. с более совершенным троичным (влево-прямо-вправо) управлением с меньшей частотой включений и переключений, вместо двоичного управления (влево-вправо) на двоичных RS-триггерах, при которых объекты управления или регулирования "рыщут" с очень большой частотой включений и переключений.

В блоках SRAM-памяти возможно применение одной схемы управления на весь блок SRAM-памяти или можно обойтись P0P1P2-триггерами вовсе без схемы управления, посылая в ОЗУ (SRAM) соответствующие инверсные одноединичные (InvertedUnoUnary) 3В ВСТ коды (0,1,2)=(110,101,011) с состоянием хранения записанного кода - B0B1B2=(000), при этом время переключения триггера уменьшится на 1/3 с $3*dt$ до $2*dt$, а быстродействие SRAM-памяти увеличится на 1/3 (на **33,3...%**).

Приложения:

1. Код модели троичного трёхбитного одноединичного (3В ВСТ UnoUnary) RS1S2-триггера (S0S1S2-триггера, 3S-триггера) P0P1P2trig(3x3ORNOT)+3x2OR в симуляторе логических схем Atanua/Win32 1.0.081116 - Personal Edition:
<http://andserkul.narod.ru/3BBCTRS1S2trig-P0P1P2trig-3x3ORNOT-3x2OR-.atanua>

2. Симулятор логических схем Atanua/Win32 1.0.081116 - Personal Edition:
http://andserkul.narod.ru/atanua081116_pe.rar

Литература:

1. [Троичный триггер \("flip-flap-flop"\). А.П.Стахов. Музей Гармонии и Золотого Сечения.](#)
2. [Кодирование тритов. А.С.Куликов.](#)

Андрей Куликов, Россия-Русь, Москва, Царицыно, 25.10.2013 — 12.12.2018.