

Троичный трёхбитный (3В ВСТ) счётный триггер (Т-триггер) на логических элементах в базисе И-НЕ

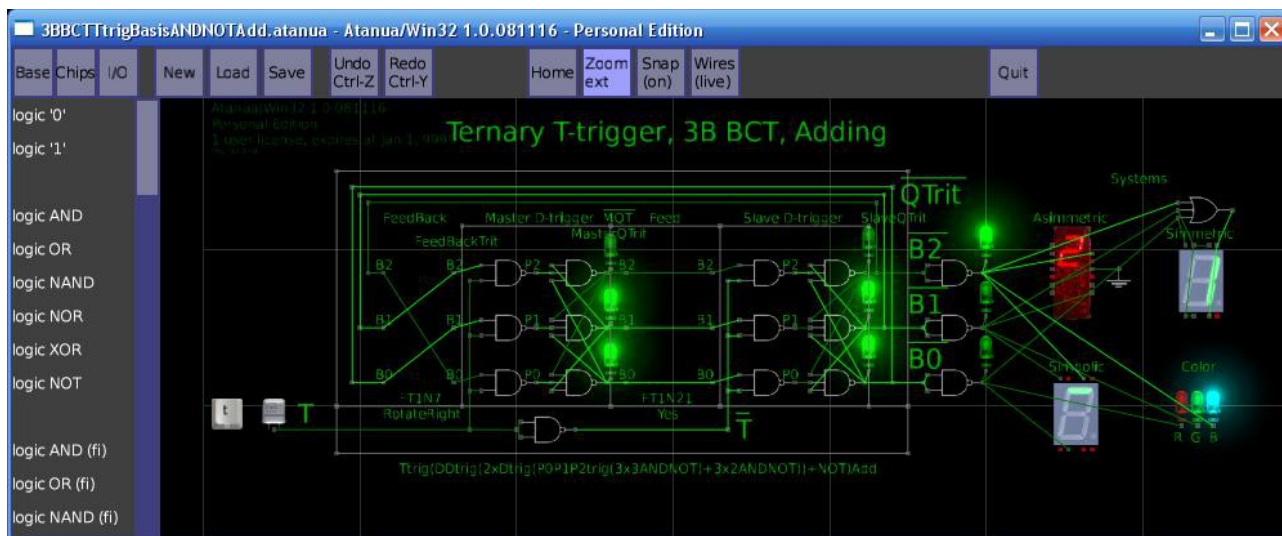


Рис.1. Снимок модели троичного трёхбитного (3В ВСТ) счётного триггера (Т-триггера) на логических элементах в базисе И-НЕ (NAND) в симуляторе логических схем Atanua/Win32 1.0.081116 - Personal Edition.

Триггер представляет собой троичный двухступенчатый DD-триггер (не «прозрачный») охваченный обратной связью с троичным трёхбитным логическим элементом «циклический сдвиг вверх» (CiclicShiftUp, «циклическое вращение вправо», CiclicRotateRight, FT1N7) в цепи обратной связи (суммирующий) и работает в троичной трёхбитной инверсной одноединичной системе кодирования тритов (3-Bit InvertedUnoUnary BinaryCodedTernary, 3В IUU ВСТ, 3В ВСТ, 3В).

Код модели троичного трёхбитного (3В ВСТ) счётного триггера (Т-триггера) на логических элементах в базисе И-НЕ в симуляторе логических схем Atanua/Win32 1.0.081116 - Personal Edition:

<http://andserkul.narod.ru/3BBCTTtrigBasisANDNOTAdd.atanua>

Приложение:

[Симулятор логических схем Atanua/Win32 1.0.081116 - Personal Edition](#)

Куликов А.С., Россия-Русь, Москва, Царицыно, версия 2022.07.15.