

Четверичный четырёхбитный одноединичный 4S-триггер с отдельной схемой управления

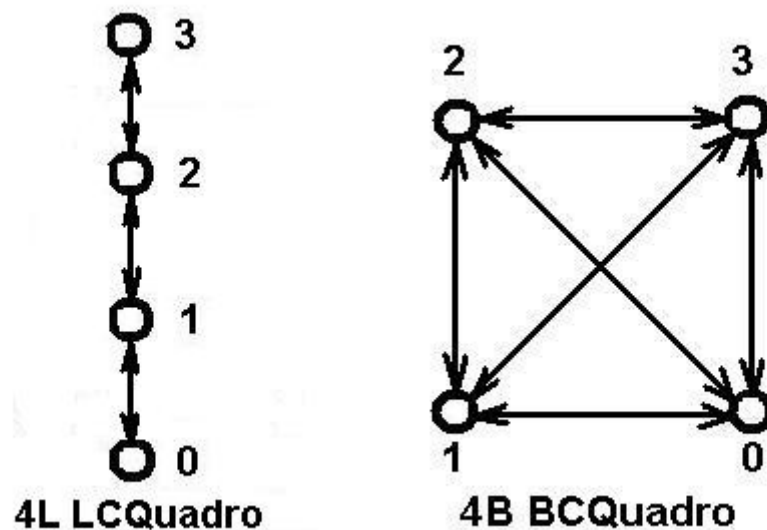


Рис.1. Граф состояний и переходов в четверичном триггере.

Четверичный триггер имеет четыре устойчивых состояний, возможность перехода (переключения, записи значения) из любого состояния в любое другое состояние без прохождения через промежуточные состояния и возможность считывания записанного в триггер значения (состояния).

Четверичный четырёхбитный одноединичный (UnoUnary) 4S-триггер (4Set-триггер, S0S1S2S3-триггер, Set0Set1Set2Set3-триггер) является четверичным подобием двоичного RS-триггера (2S-триггера, 2Set-триггера, Set0Set1-триггера) и, в зависимости от применённых логических элементов, nИЛИ-НЕ (n-in NOR, NORn) или nИ-НЕ (n-in NAND, NANDn), может быть построен для работы или в четверичной четырёхбитной одноединичной кодировке квадратов (4B BCP UU, 4-Bit BinaryCodedQuadro UnoUnary) или для работы в инверсной четверичной четырёхбитной одноединичной кодировке квадратов (4B BCQ IUU, 4-Bit BinaryCodedQuadro InvertedUnoUnary).

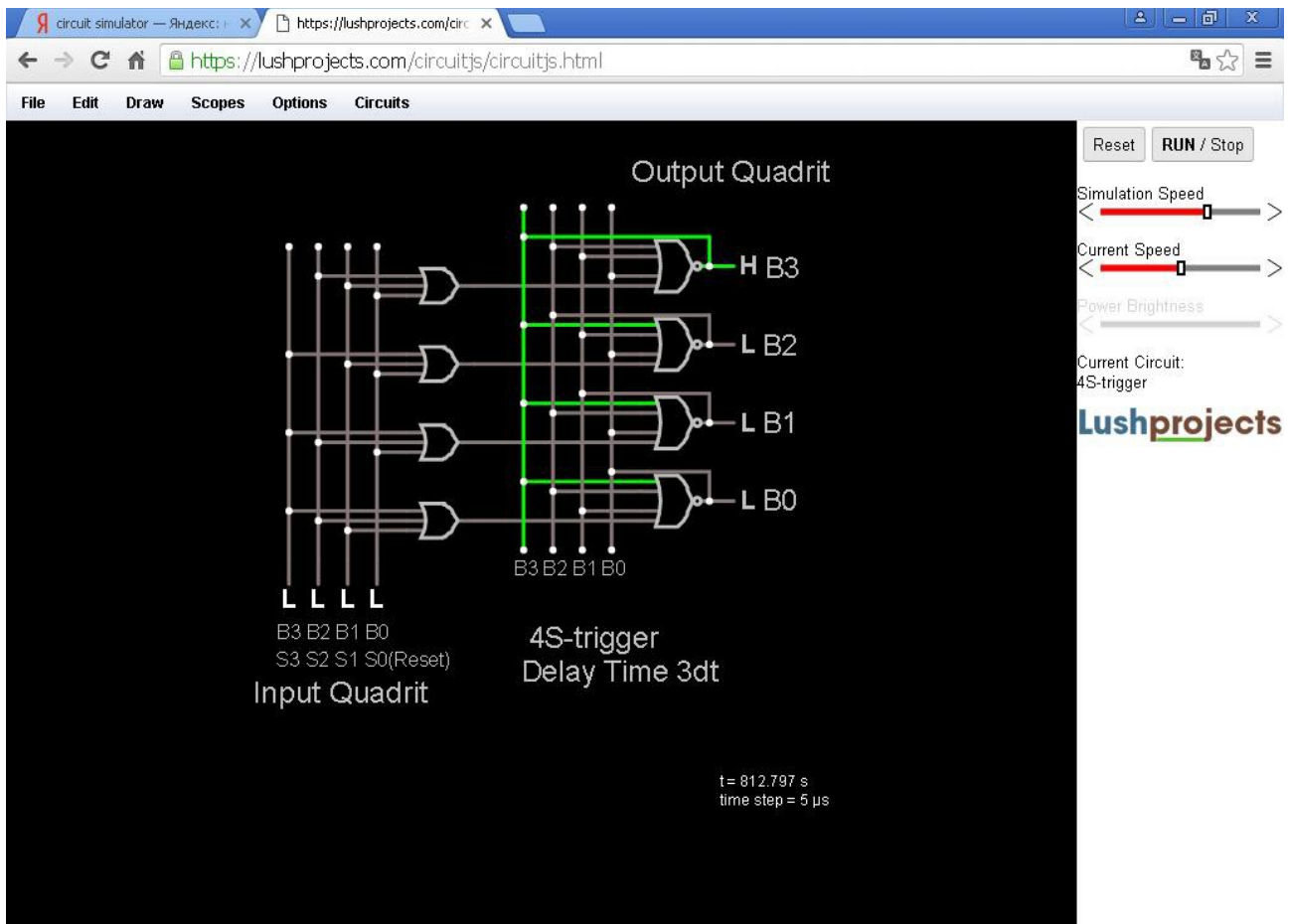


Рис.2. Снимок модели четверичного четырёхбитного одноединичного 4S-триггера (4Set-триггера, S0S1S2S3-триггера, Set0Set1Set2Set3-триггера) с отдельной схемой управления в онлайн HTML5-версии симулятора электронных схем Circuit Simulator.

Включить Circuit Simulator с моделью: <http://tinyurl.com/y3rsluj5>

Время задержки срабатывания триггера: $3dt$, где dt - время задержки в одном типовом логическом элементе.

Андрей Куликов, Россия-Русь, Москва, Царицыно, версия 2019.09.09.