

Пятиричный пятибитный одноединичный RS1S2S3S4-триггер

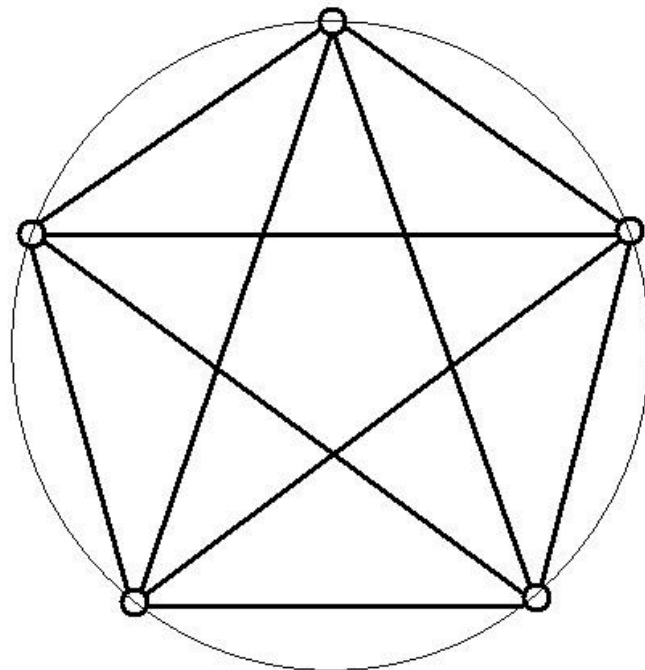


Рис.1. Граф состояний и переходов в пятиричном триггере.

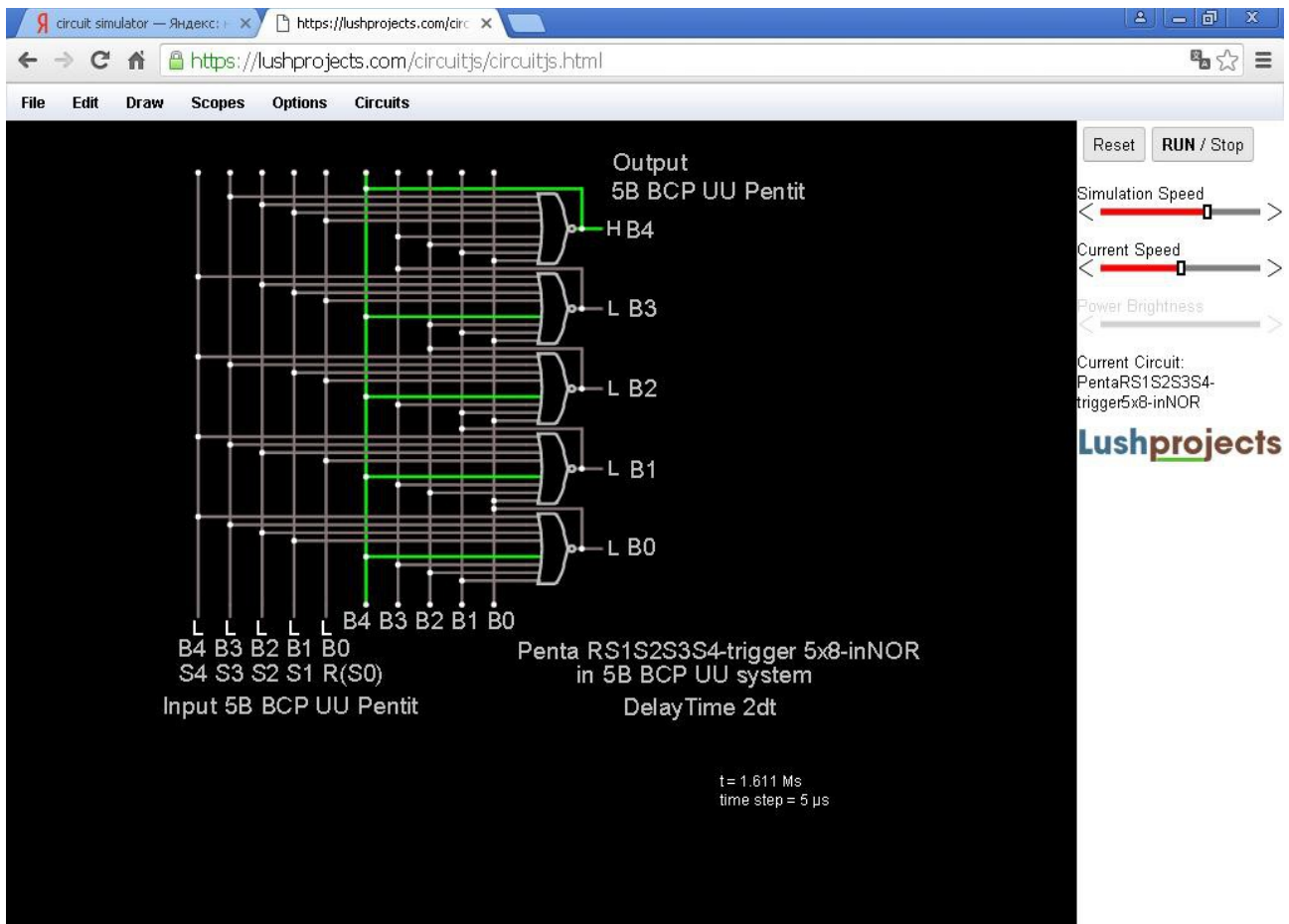


Рис.1. Снимок модели пятиричного пятибитного одноединичного RS1S2S3S4-триггера в онлайн HTML5-версии логического симулятора Circuit Simulator.

Включить Circuit Simulator с моделью: <http://tinyurl.com/y3714r7w>

Андрей Куликов, Россия-Русь, Москва, Царицыно, 2019.09.06.