

Пятиричный пятибитный одноединичный 5S-триггер с отдельной схемой управления

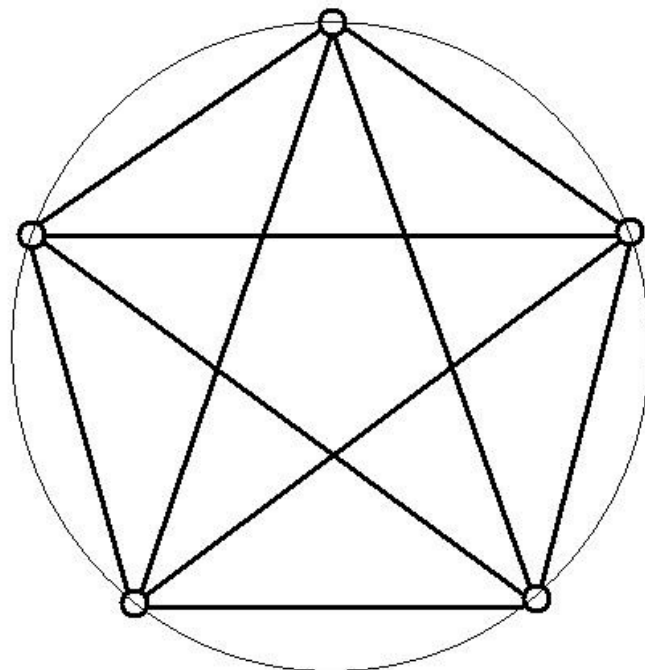


Рис.1. Граф состояний и переходов в пятиричном триггере.

Пятиричный триггер имеет пять устойчивых состояний, возможность перехода (переключения, записи значения) из любого состояния в любое другое состояние без прохождения через промежуточные состояния и возможность считывания записанного в триггер значения (состояния).

Пятиричный пятибитный одноединичный (UnoUnary) 5S-триггер (5Set-триггер, S0S1S2S3S4-триггер, Set0Set1Set2Set3Set4-триггер) является пятиричным подобием двоичного RS-триггера (2S-триггера, 2Set-триггера, Set0Set1-триггера) и, в зависимости от применённых логических элементов, nИЛИ-НЕ (n-in NOR, NORn) или nИ-НЕ (n-in NAND, NANDn), может быть построен для работы или в пятиричной пятибитной одноединичной кодировке пентитов (5B BCP UU, 5-Bit BinaryCodedPenta UnoUnary) или для работы в инверсной пятиричной пятибитной одноединичной кодировке пентов (5B BCP IUU, 5-Bit BinaryCodedPenta InvertedUnoUnary).

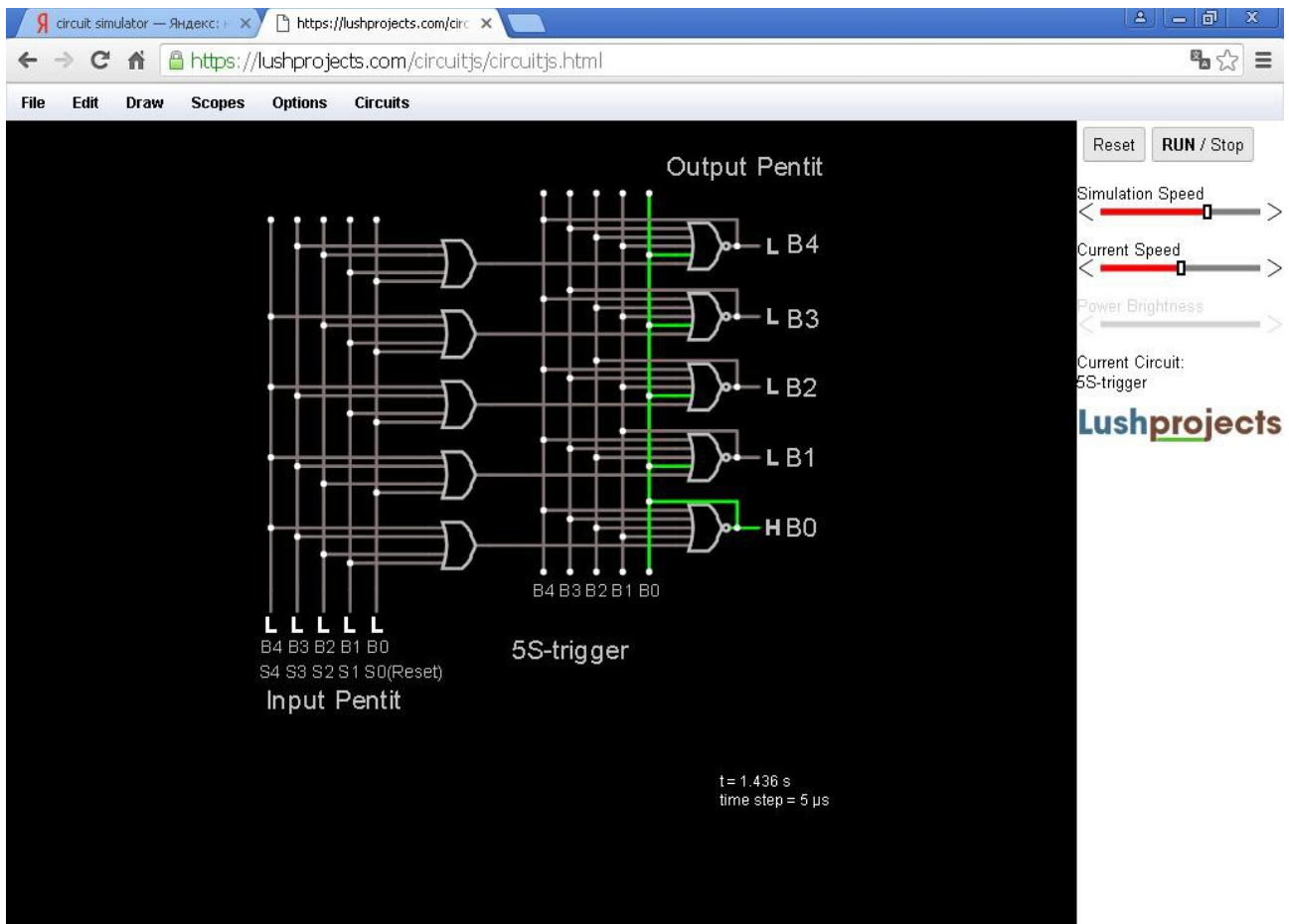


Рис.2. Снимок модели пятиричного пятибитного одноединичного 5S-триггера (5Set-триггера, S0S1S2S3S4-триггера, Set0Set1Set2Set3Set4-триггера) с отдельной схемой управления в онлайн HTML5-версии симулятора электронных схем Circuit Simulator.

Включить Circuit Simulator с моделью: <http://tinyurl.com/y5fsj3vw>

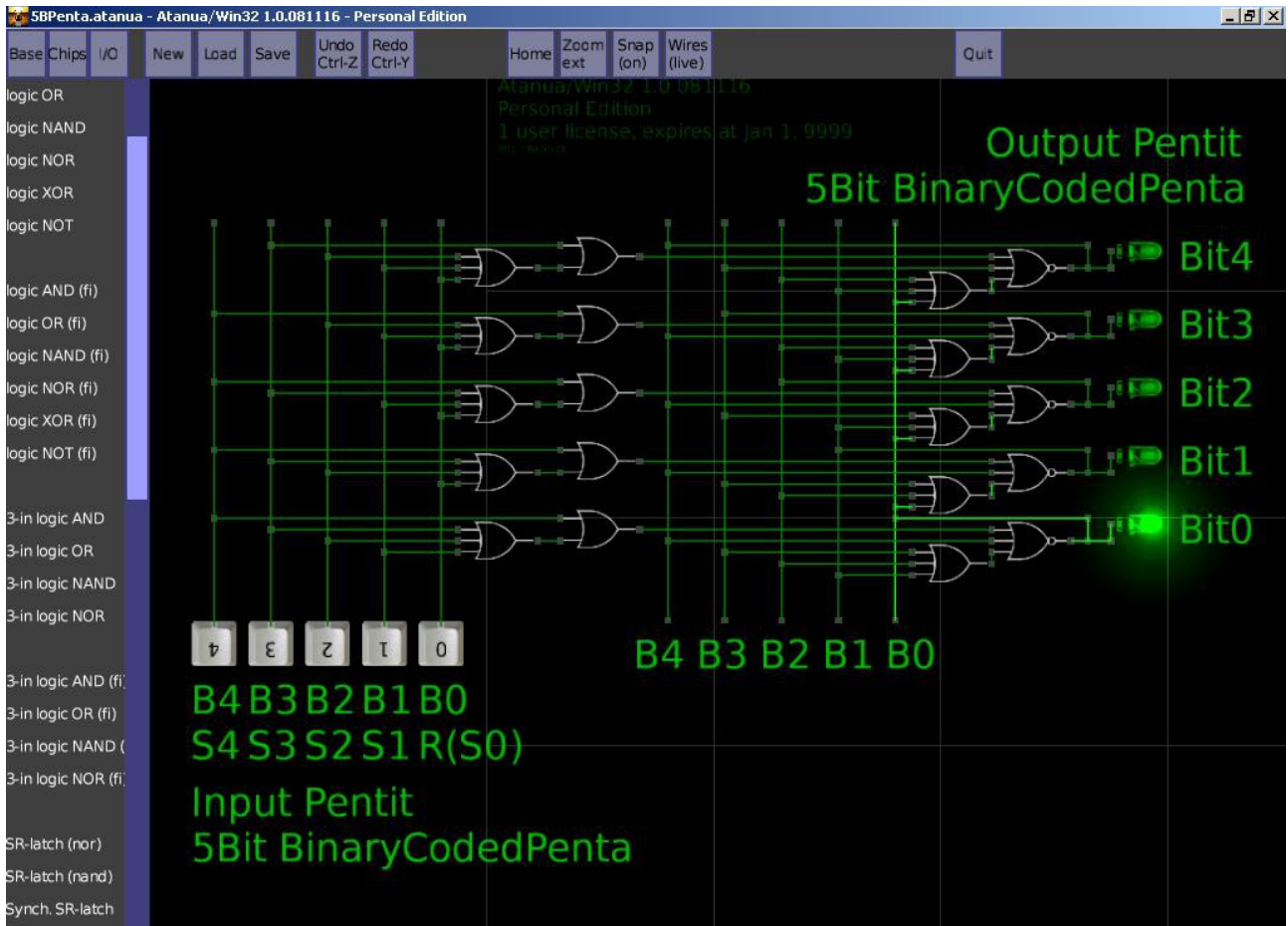


Рис.3. Снимок модели пятиричного пятибитного одноединичного RS1S2S3S4-триггера в логическом симуляторе Atanua/Win32 1.0.081116 - Personal Edition.

Код модели:

<http://andserkul.narod.ru/5BPenta.atanua>

Андрей Куликов, Россия-Русь, Москва, Царицыно, версия 2019.09.06.