

Сумматор Скланского, Radix-2, 4-х битный

Sklansky Radix-2

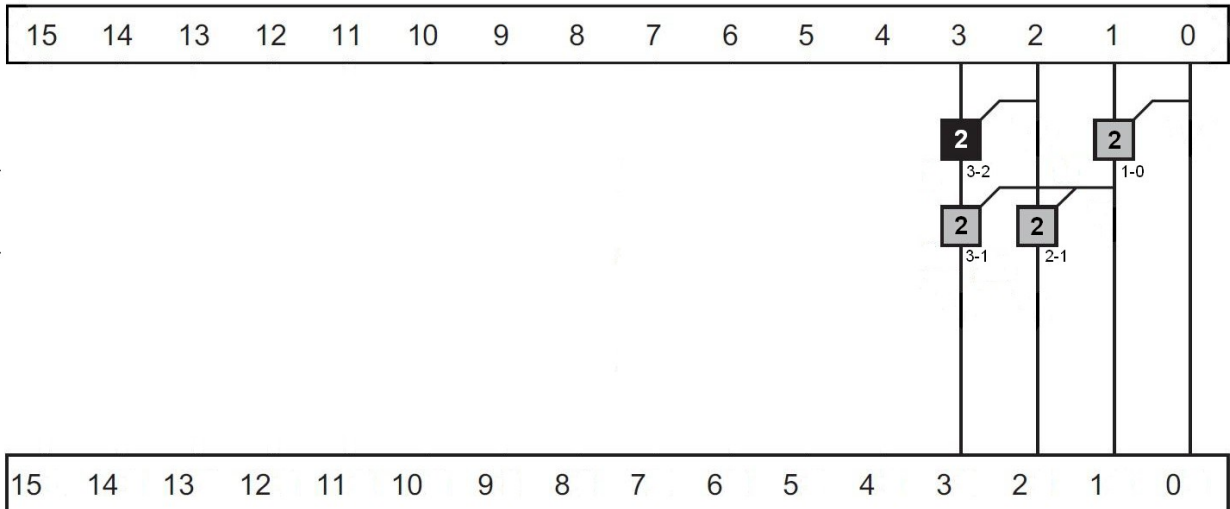


Рис.1. Блок-схема генератора переносов сумматора Скланского, Radix-2, 4-х битного (полубайтного, гексадецидного) (используются только двухвходовые операторы 2G (Gray2) Cell (без вычисления оператора 2P) и 2PG (Black2) Cell).

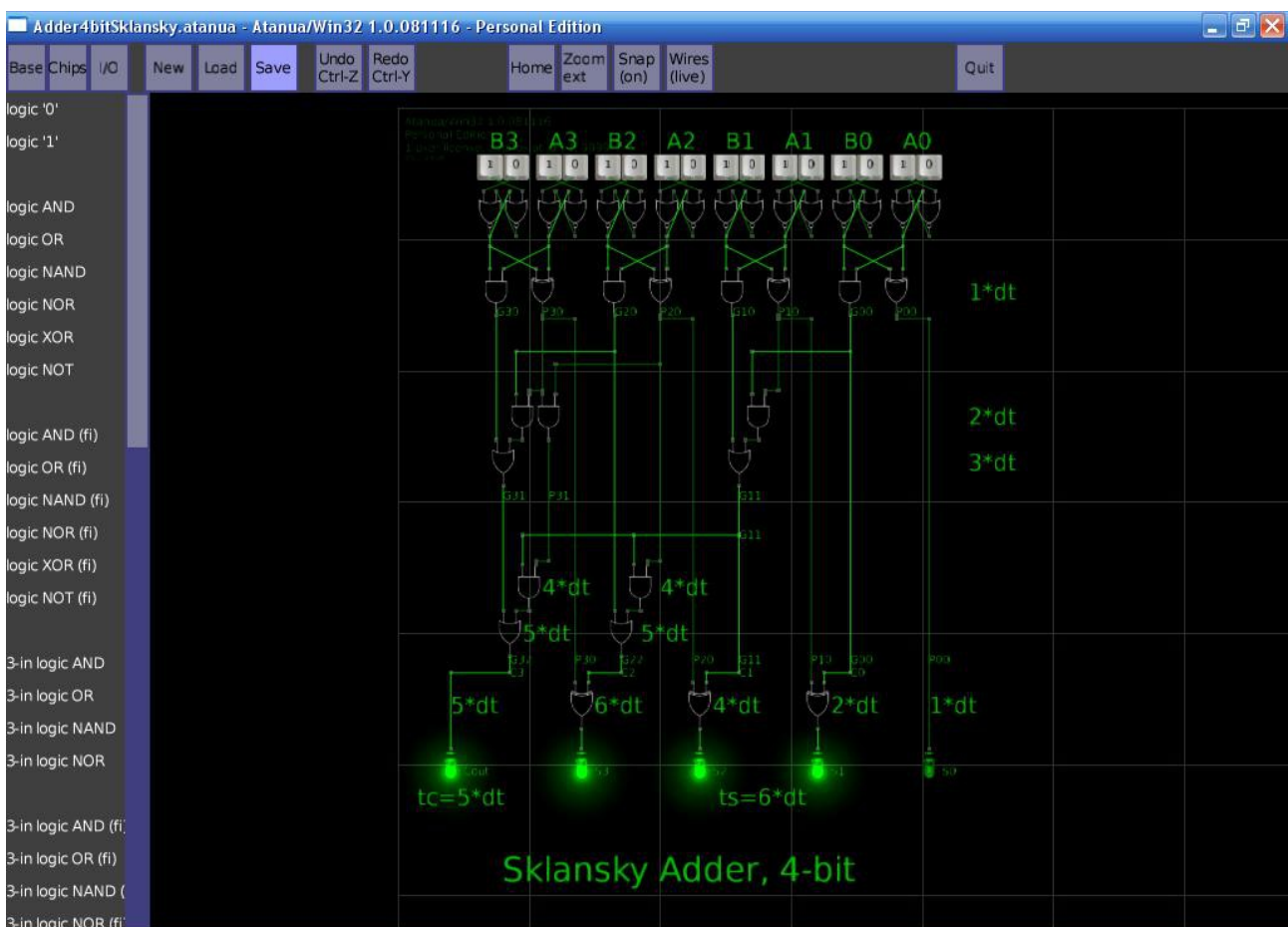


Рис.2. Снимок модели сумматора Скланского, Radix-2, 4-х битного (полубайтного, 16-тиричного, гексадецидного) в логическом симуляторе [Atanua/Win32 1.0.081116 - Personal Edition](#).

Код модели сумматора Склянского, Radix-2, 4-х битного (полубайтного, 16-тиричного, гексадецитного) в логическом симуляторе Atanua/Win32:
<http://andserkul.narod.ru/AdderRadix2Sklansky4bit.atanua>

Сумматор Склянского, Radix-2, 4-х битный (полубайтный), в виде логических уравнений:

```
'-----  
P00 = A0 XOR B0  
G00 = A0 AND B0  
  
P10 = A1 XOR B1  
G10 = A1 AND B1  
  
P20 = A2 XOR B2  
G20 = A2 AND B2  
  
P30 = A3 XOR B3  
G30 = A3 AND B3  
  
'-----  
G11 = G10 OR (P10 AND G00)  
  
G31 = G30 OR (P30 AND G20)  
P31 = P30 AND P20  
  
'-----  
G22 = G20 OR (P20 AND G11)  
  
G32 = G31 OR (P31 AND G11)  
  
'-----  
S0 = P00  
  
S1 = P10 XOR G00  
  
S2 = P20 XOR G11  
  
S3 = P30 XOR G22  
  
Cout = G32
```

Программа проверки логических уравнений сумматора Склянского, Radix-2, 4-х битного (полубайтного), на TurboBasic'e:
<http://andserkul.narod.ru/R2SKL4B.bas>

Так как параллельно префиксные сумматоры, в том числе и сумматор Склянского, строятся не последовательным соединением блоков с единицей переноса на входе, а целиком двухаргументными (двухоперандными), то в них исчезают понятия «полусумматор» и «полный сумматор», но сохраняются понятия «двухаргументный» и «трёхаргументный» (с единицей переноса на входе), причём «трёхаргументные» (с единицей переноса на входе) теоретически возможны, но практически в них нет почти никакой нужды.

Литература:

1. [IMPLEMENTATION OF 32 BIT BRENT KUNG ADDER USING COMPLEMENTARY PASS TRANSISTOR LOGIC](#) By NOEL DANIEL GUNDI. 2.8 Tree Adders. 2.8.1 Sklansky, p.18, Figure 2.5 16-bit Sklansky Adder.

2. [Parallel prefix adders](#). Kostas Vitoroulis, 2006. Presented to Dr. A. J. Al-Khalili. Concordia University. 1960: J. Sklansky - conditional adder.

3. [Delay Analysis of Parallel-Prefix Adders](#). Geeta Rani, Sachin Kumar. Figure 8: 16-bit Sklansky Conditional-Sum Adder

Приложение 1.

[TurboBasic 1.0](#)

Куликов А.С., Россия-Русь, Москва, Царицыно, версия 2021.10.08.