

Сумматор Склянского, Radix-4, 8-ми битный

Sklansky Radix-4

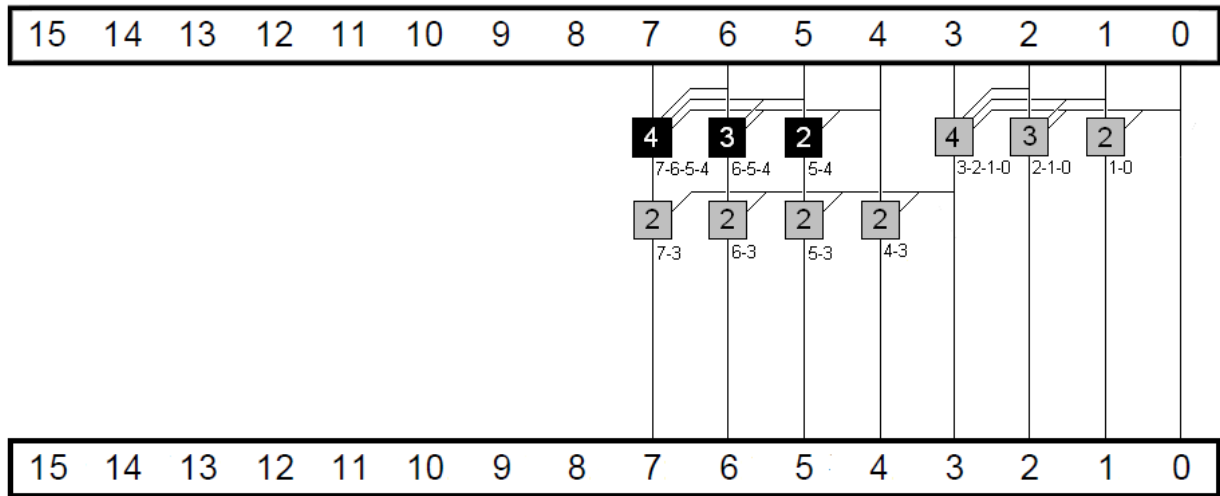


Рис.1. Блок-схема генератора переносов сумматора Склянского, Radix-4, 8-ми разрядного (используются и двух, трёх и четырёх входные (аргументные) операторы (функции) 2G, 3G и 4G (Gray2, Gray3 и Gray4) (без вычисления функций 2P, 3P и 4P) и 2GP, 3GP и 4GP (Black2, Black3 и Black4) (с вычислением функций 2P, 3P и 4P)). Порядок подключения входов имеет значение.

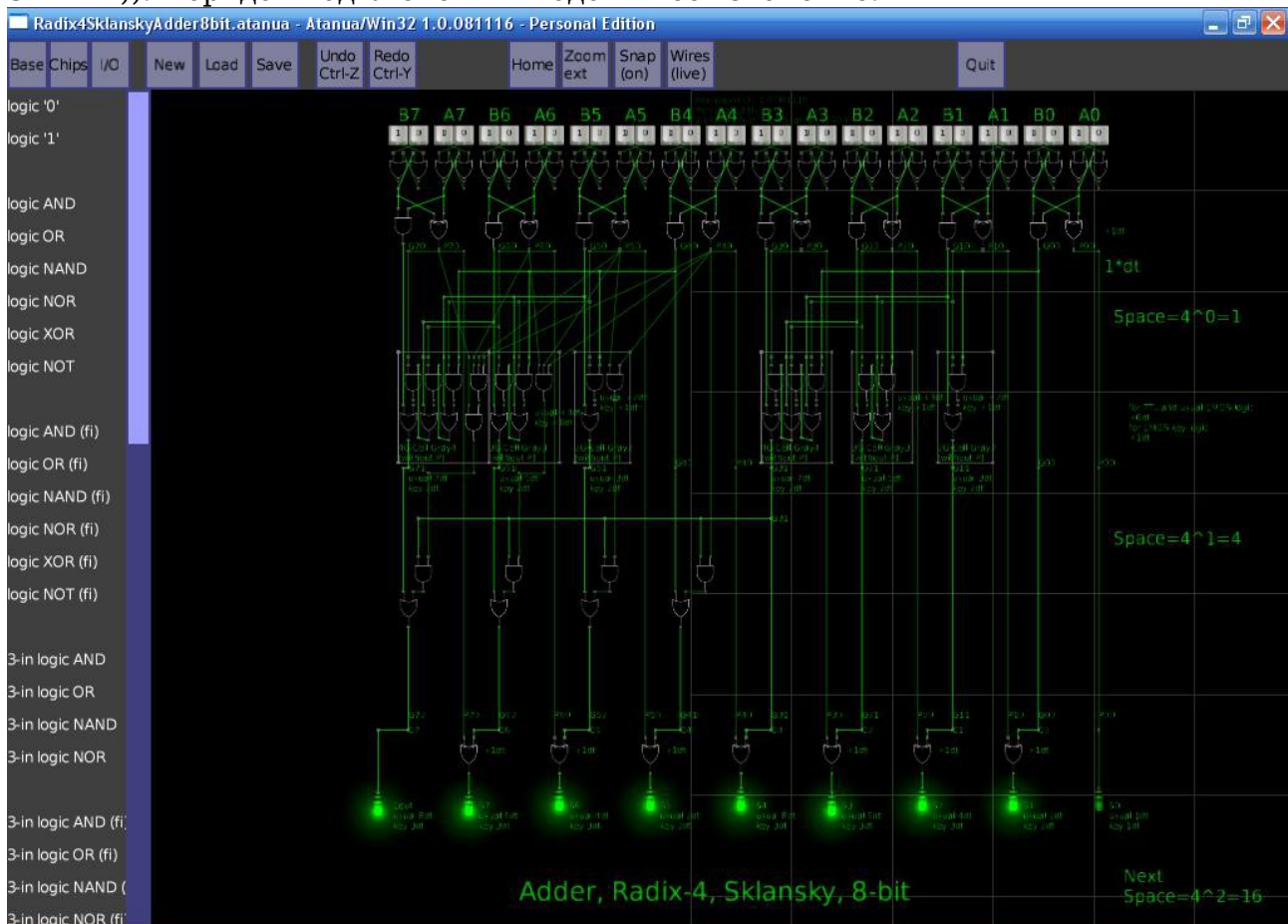


Рис.2. Снимок модели сумматора Склянского, Radix-4, 8-ми битного (однobaйтного, 256-тиричного) в логическом симуляторе [Atanua/Win32 1.0.081116 - Personal Edition](http://atanua.com/).

Код модели сумматора Склянского, Radix-4, 8-ми битного (однобайтного, 256-тиричного) в логическом симуляторе Atanua/Win32:
<http://andserkul.narod.ru/AdderRadix4Sklansky8bit.atanua>

Сумматор Склянского, Radix-4, 8-ми битный (однобайтный), в виде логических уравнений:

```
'-----
P00 = A0 XOR B0
G00 = A0 AND B0

P10 = A1 XOR B1
G10 = A1 AND B1

P20 = A2 XOR B2
G20 = A2 AND B2

P30 = A3 XOR B3
G30 = A3 AND B3

P40 = A4 XOR B4
G40 = A4 AND B4

P50 = A5 XOR B5
G50 = A5 AND B5

P60 = A6 XOR B6
G60 = A6 AND B6

P70 = A7 XOR B7
G70 = A7 AND B7

'-----
G11 = G10 OR (P10 AND G00)

G21 = G20 OR (P20 AND (G10 OR (P10 AND G00)))

G31 = G30 OR (P30 AND (G20 OR (P20 AND (G10 OR (P10 AND G00))))

P51 = P50 AND P40
G51 = G50 OR (P50 AND G40)

P61 = P60 AND P50 AND P40
G61 = G60 OR (P60 AND (G50 OR (P50 AND G40)))

P71 = P70 AND P60 AND P50 AND P40
G71 = G70 OR (P70 AND (G60 OR (P60 AND (G50 OR (P50 AND G40))))

'-----
G41 = G40 OR (P40 AND G31)

G52 = G51 OR (P51 AND G31)

G62 = G61 OR (P61 AND G31)

G72 = G71 OR (P71 AND G31)

'-----
S0 = P00
```

S1 = P10 XOR G00

S2 = P20 XOR G11

S3 = P30 XOR G21

S4 = P40 XOR G31

S5 = P50 XOR G41

S6 = P60 XOR G52

S7 = P70 XOR G62

Cout = G72

Программа проверки логических уравнений сумматора Склянского, Radix-4, 8-ми битного (однобайтного), на TurboBasic'e:
<http://andserkul.narod.ru/R4SKL8B.bas>

Так как параллельно префиксные сумматоры, в том числе и сумматор Склянского, Radix-4, строятся не последовательным соединением блоков с единицей переноса на входе, а целиком двухаргументными (двухоперандными), то в них исчезают понятия «полусумматор» и «полный сумматор», но сохраняются понятия «двухаргументный» и «трёхаргументный» (с единицей переноса на входе), причём «трёхаргументные» (с единицей переноса на входе) теоретически возможны, но практически в них нет почти никакой нужды.

Литература:

1. [Logical Effort of Higher Valency Adders. David Harris. Harvey Mudd College 301 E. Twelfth St. Claremont, CA 91711](#)
2. [Design Space Exploration for Power-Efficient Mixed-Radix Ling Adders. Chung-Kuan Cheng Computer Science and Engineering Depart. University of California, San Diego.](#)
3. [Сумматор Склянского, Radix-2, 4-х битный. Куликов А. С.](#)
4. [Сумматор Склянского, Radix-2, 8-ми битный. Куликов А. С.](#)
5. [Сумматор Склянского, Radix-2, 16-ти битный. Куликов А. С.](#)
6. [Сумматор Склянского, Radix-3, 4-х битный. Куликов А. С.](#)
7. [Сумматор Склянского, Radix-3, 8-ми битный. Куликов А. С.](#)
8. [Сумматор Склянского, Radix-3, 16-ти битный. Куликов А. С.](#)
9. [Сумматор Склянского, Radix-4, 4-х битный. Куликов А. С.](#)
10. [Сумматор Склянского, Radix-4, 16-ти битный. Куликов А. С.](#)
11. [Сумматор Склянского, Radix-8, 8-ми битный. Куликов А. С.](#)

12. [Сумматор Склянского, Radix-8, 16-ти битный. Куликов А. С.](#)

13. [Сумматор Склянского, Radix-16, 16-ти битный. Куликов А. С.](#)

Приложение 1.

[TurboBasic 1.0](#)

Куликов А.С., Россия-Русь, Москва, Царицыно, версия 2021.10.05.