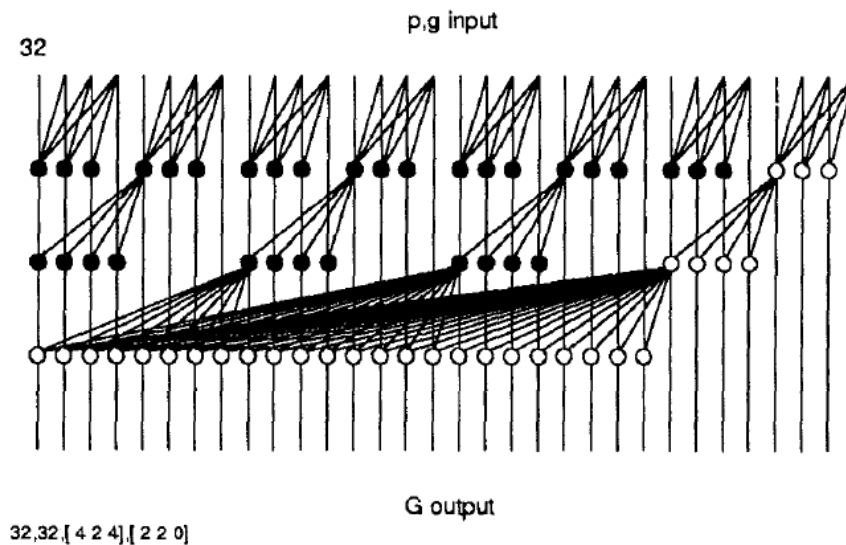


## Сумматор Beaumont-Smith'a



**Figure 5. 32-bit carry tree : small delay solution (after Kogge-Stone adder).**

Рис.1. Граф генератора переносов 32-х битного сумматора Beaumont-Smith'a с малой задержкой.

Хотя автор и пишет «(after Kogge-Stone adder)», но на самом деле это сумматор Склянского, но с разными Radix'ами на разных шагах (4-2-4).

В сумматорах с постоянным Radix'ом на всех шагах используются ячейки из одинакового набора валентностей. Например, для Radix-4 - из набора Valency-1,2,3,4. В сумматоре же Beaumont-Smith'a на первом шаге используются ячейки с валентностями Valency-1,2,3,4, т. е. Radix-4, на втором шаге — ячейки с валентностью только Valency-2, т. е. Radix-2, а на третьем шаге — опять ячейки с валентностью Valency-2,3,4, т. е. Radix-4.

В сумматоре Когге-Стоуна, Radix-4, на первом шаге все ячейки, начиная с четвертой, имеют валентность равную 4 (Valency-4, 4-х входовые). В сумматоре же Склянского, Radix-4, на первом шаге каждые четыре ячейки поочередно имеют валентность равную 1,2,3,4 (Valency-1,2,3,4, 1-но, 2-х, 3-х и 4-х входовые).

На втором шаге в сумматоре Когге-Стоуна, Radix-2, все ячейки, начиная с пятой имеют Distance=4, т. е. расстояние между входами ячеек постоянно и равно 4 (5-1, 6-2, 7-3, 8-4 и т.д.).

В сумматоре же Склянского, Radix-2, на втором шаге в каждых 8-ми разрядах поочередно все ячейки старших 4-х разрядов соединены с одной для всех 4-х старших разрядов в восьмёрке ячеек 4-й ячейкой в восьмёрке ячеек (5-4, 6-4, 7-4 и 8-4).

8-ми битный сумматор Beaumont-Smith'a в виде системы логических уравнений:

```

P00 = A0 XOR B0          '1dt, S0
G00 = A0 AND B0         '1dt, C0
P10 = A1 XOR B1          '1dt
G10 = A1 AND B1         '1dt
P20 = A2 XOR B2          '1dt
G20 = A2 AND B2         '1dt
P30 = A3 XOR B3          '1dt
G30 = A3 AND B3         '1dt
P40 = A4 XOR B4          '1dt
G40 = A4 AND B4         '1dt
P50 = A5 XOR B5          '1dt
G50 = A5 AND B5         '1dt
P60 = A6 XOR B6          '1dt
G60 = A6 AND B6         '1dt
P70 = A7 XOR B7          '1dt
G70 = A7 AND B7         '1dt

G11 = G10 OR (P10 AND G00) 'valency-2 3dt, C1
G21 = G20 OR_
      (P20 AND G10) OR_
      (P20 AND P10 AND G00) 'valency-3 3dt, C2
G31 = G30 OR_
      (P30 AND G20) OR_
      (P30 AND P20 AND G10) OR_
      (P30 AND P20 AND P10 AND G00) 'valency-4 3dt, C3
P51 = P50 AND P40          2dt
G51 = G50 OR (P50 AND G40) 'valency-2 3dt
P61 = P60 AND P50 AND P40 2dt
G61 = G60 OR_
      (P60 AND G50) OR_
      (P60 AND P50 AND G40) 'valency-3 3dt
P71 = P70 AND P60 AND P50 AND P40 2dt
G71 = G70 OR_
      (P70 AND G60) OR_
      (P70 AND P60 AND G50) OR_
      (P70 AND P60 AND P50 AND G40) 'valency-4 3dt

G42 = G40 OR (P40 AND G31) '5dt, C4
G52 = G51 OR (P51 AND G31) '5dt, C5
G62 = G61 OR (P61 AND G31) '5dt, C6
G72 = G71 OR (P71 AND G31) '5dt, C7, Cout

S0 = P00          '1dt
S1 = P10 XOR G00 '2dt
S2 = P20 XOR G11 '4dt
S3 = P30 XOR G21 '4dt
S4 = P40 XOR G31 '4dt
S5 = P50 XOR G42 '6dt
S6 = P60 XOR G52 '6dt
S7 = P70 XOR G62 '6dt
C7 =          G72 '5dt, Cout

```

Программа проверки 8-ми битного сумматора Beaumont-Smith'a в Borland TurboBasic'e: [BS8BV4.BAS](#)

Литература:

1. [Beaumont-Smith, Cheng-Chew Lim, "Parallel Prefix Adder Design", IEEE, 2001.](#)
2. [Logical Effort of Higher Valency Adders. D. Harris. Harvey Mudd College, 301 E. Twelfth St. Claremont, CA 91711](#)

Приложение:

[Borland TurboBasic](#)

Куликов А. С., Россия-Русь, Москва, Царицыно, версия 2023.05.09.