

## Сумматор табличный полный на ПЗУ, 4-х битный

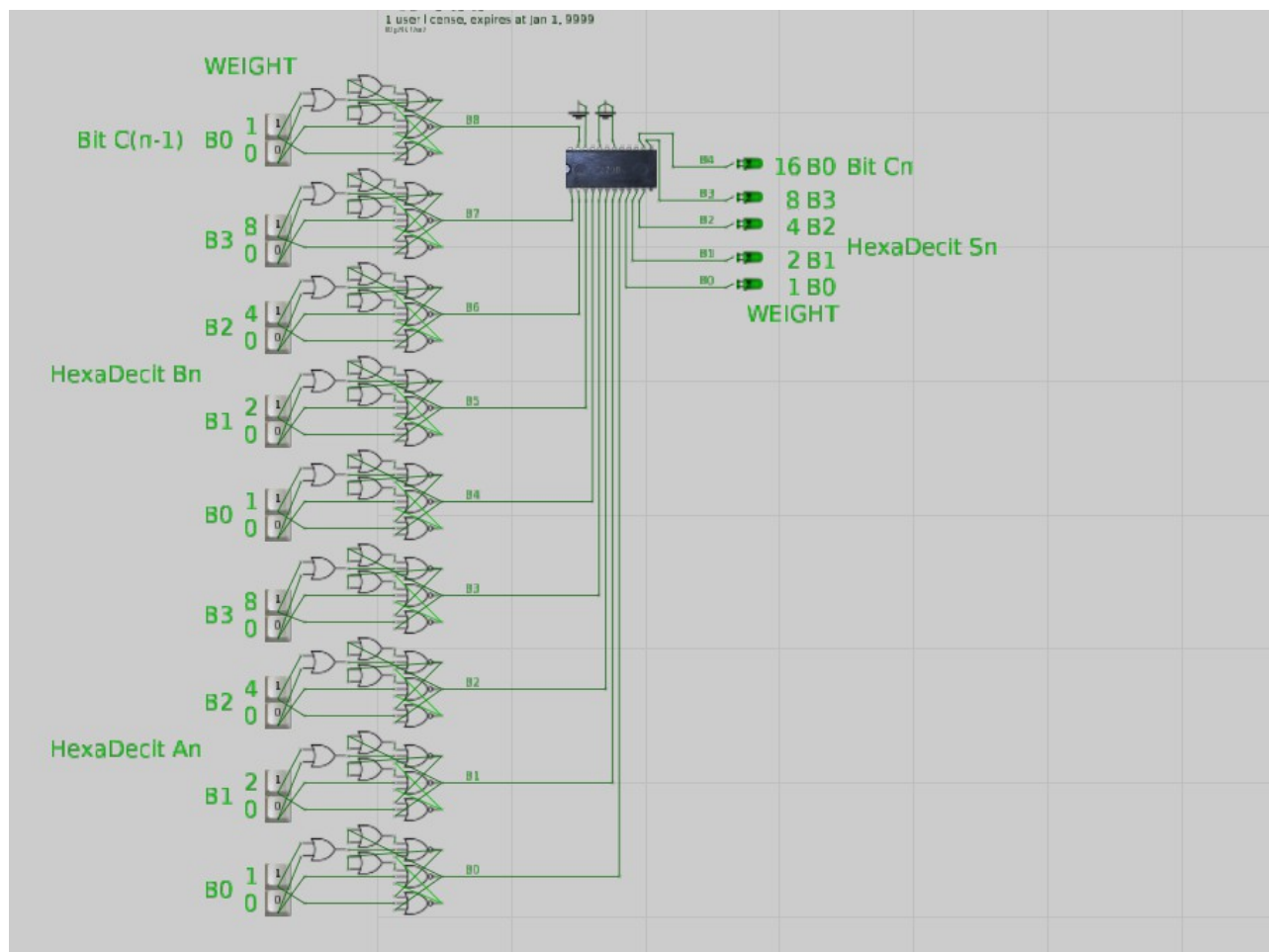


Рис.1. Снимок модели табличного полного 4-х битного (полубайтного, 16-тиричного) сумматора на ПЗУ в логическом симуляторе Atanua/Win32 1.2.130617.

В обычных сумматорах результат сложения (сумма) вычисляется при каждом обращении к сумматору. В табличном сумматоре результаты сложения (таблица сложения, таблица сумм) вычисляются заранее и записываются в память (в ОЗУ или в ПЗУ). При обращении к табличному сумматору суммы не вычисляются, а считываются из заранее вычисленной таблицы сложения. Время считывания результата сложения из заранее вычисленной таблицы сложения равно  $3*dt$  ( $2*dt$  в дешифраторе +  $1*dt$  в шифраторе) при ПЗУ с однофазным двухступенчатым дешифратором и  $2*dt$  при ПЗУ с парафазным одноступенчатым дешифратором, что в 2 и в 3 раза меньше, чем время сложения в 4-х битном сумматоре Когге-Стоуна.

Сумматор является двоичнокодированным шестнадцатиричным (4-Bit BinaryCodedHexaDecimal, 4B BCHD). Так как в сумматоре одновременно складываются три операнда, два гексадецима (HexaDecit, HD) и бит переноса из предыдущего разряда, то сумматор является полным.

Код модели табличного полного 4-х битного сумматора на ПЗУ в логическом симуляторе Atanua/Win32: <http://andserkul.narod.ru/FullAdderPG4bit.atanua>

