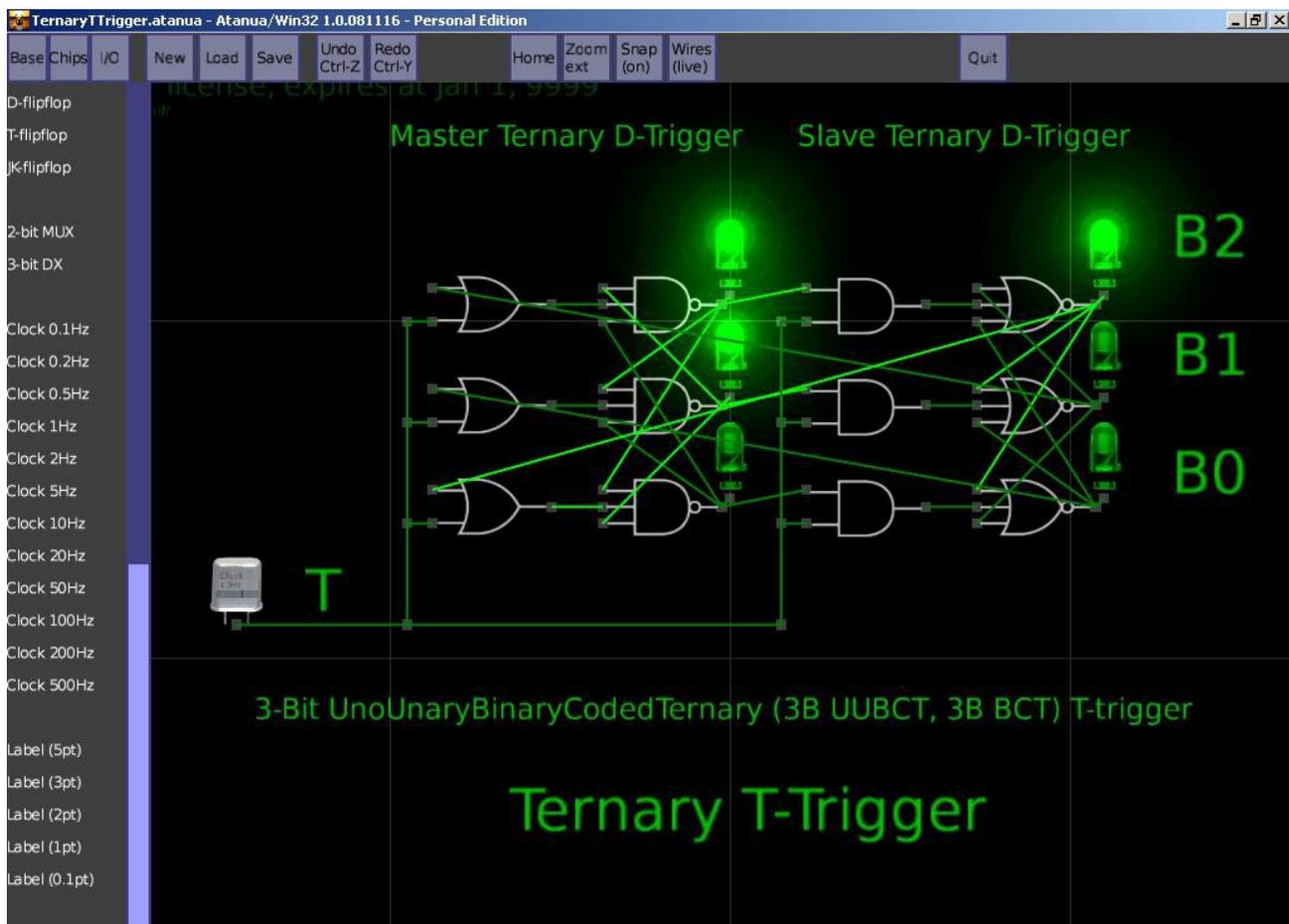


# Экономичный троичный счётный триггер



Снимок модели экономичного троичного счётного триггера (Т-триггера) в симуляторе логических схем Atanua/Win32 1.0.081116 - Personal Edition.

Наиболее экономичным по числу логических элементов троичный счётный триггер (Т-триггер) получается, если использовать два разных троичных D-триггера построенных в разных базисах: в базисе И-НЕ и в базисе ИЛИ-НЕ. При этом троичный D-триггер в базисе ИЛИ-НЕ работает в прямом 3-х битном коде  $(0,1,2)=(001,010,100)$ , а троичный D-триггер в базисе И-НЕ работает в обратном 3-х битном коде  $(0,1,2)=(110,101,011)$ , что позволяет более экономично объединить их в один двухступенчатый троичный DD-триггер (Master-Slave D-триггер). Соединив выход такого двухступенчатого троичного DD-триггера со входом троичным логическим элементом RotateRight (RotateUp, RotateForward), который выполняется с помощью трёх проводов с правым сдвигом на 1 разряд, получается правый (с прямым счётом, суммирующий) троичный счётный триггер (Т-триггер). При применении в цепи обратной связи троичного логического элемента RotateLeft (RotateDown, RotateBack), который выполняется с помощью трёх проводов с левым сдвигом на 1 разряд, получается левый (с обратным счётом, вычитающий) троичный счётный триггер (Т-триггер).

Такой двухступенчатый троичный счётный триггер (Т-триггер) по числу логических элементов (без учёта числа входов) эквивалентен двоичным двухступенчатым счётным триггерам. При этом, на одинаковом (без учёта числа входов) количестве логических элементов можно построить троичный счётчик на

двух троичных Т-триггерах, который имеет  $3^2=9$  состояний и считает до 9-ти или двоичный счётчик на трёх двоичных триггерах, который имеет  $2^3=8$  состояний и считает только до 8-ми.

При физической реализации в некоторых видах физической реализации логических элементов (РТЛ, ДТЛ, ТТЛ) один дополнительный вход не требует больших аппаратных затрат (один дополнительный резистор на один логический элемент в РТЛ, один дополнительный диод на один логический элемент в ДТЛ или один дополнительный эмиттер во входном многоэмиттерном транзисторе на один логический элемент в старых ТТЛ и один дополнительный диод на один логический элемент в новых ТТЛ), но в К-МОП логике на однозатворных К-МОП транзисторах аппаратные затраты значительно больше (один дополнительный вход требует два дополнительных К-МОП транзистора на один К-МОП логический элемент). Вполне вероятно, что разработка К-МОП логики на многозатворных К-МОП транзисторах позволит уменьшить аппаратные затраты на дополнительный вход и в К-МОП логике.