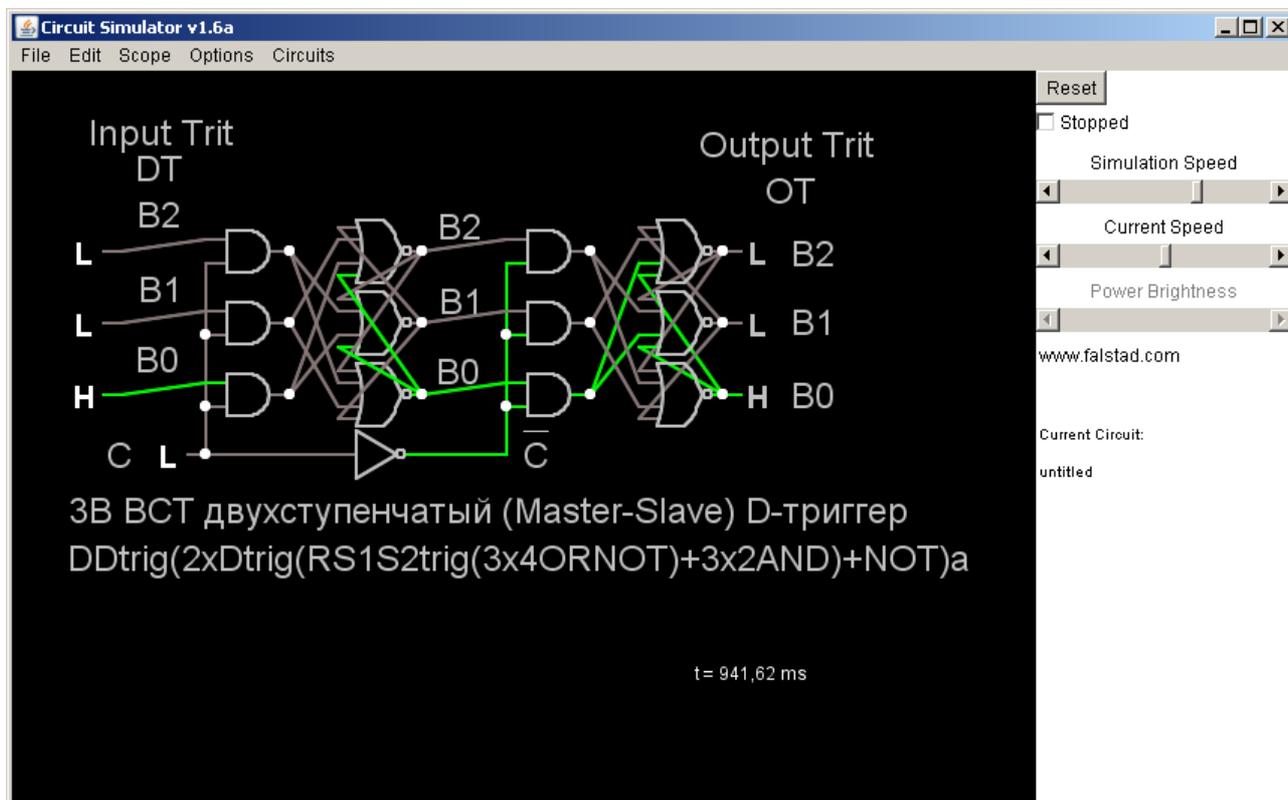


# Троичный трёхбитный (3В ВСТ) двухступенчатый (Master-Slave) D-триггер DDtrig(2xDtrig(RS1S2(3x4ORNOT)+3x2AND)+NOT)a



Снимок модели троичного трёхбитного (3В ВСТ) двухступенчатого (Master-Slave) D-триггера DDtrig(2xDtrig(RS1S2trig(3x4ORNOT)+3x2AND)+NOT)a в симуляторе электронных схем Circuit Simulator v1.6a.

Код модели троичного трёхбитного (3В ВСТ) двухступенчатого (Master-Slave) D-триггера DDtrig(2xDtrig(RS1S2trig(3x4ORNOT)+3x2AND)+NOT)a в симуляторе электронных схем Circuit Simulator v1.6a:

<http://andserkul.narod.ru/3BBCTDDtrig-2xDtrig-RS1S2trig-3x4ORNOT-3x2AND-NOT.txt>