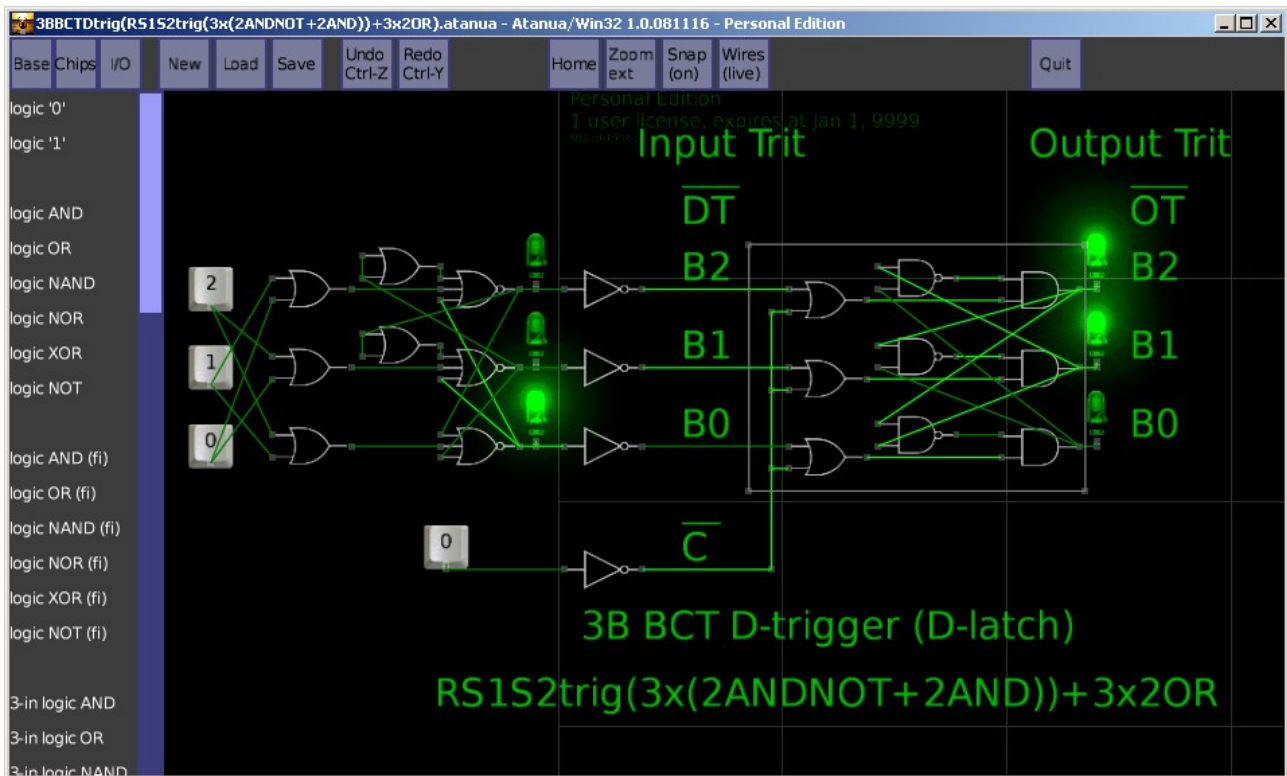


Троичный трёхбитный (3В ВСТ) одноступенчатый D-триггер (D-latch) RS1S2(3x(2ANDNOT+2AND))+3x2OR



Снимок модели троичного трёхбитного (3В ВСТ) одноступенчатого D-триггера (D-latch) RS1S2trig(3x(2ANDNOT+2AND))+3x2OR в логическом симуляторе Atanua/Win32 1.0.081116 - Personal Edition.

Код модели троичного трёхбитного (3В ВСТ) одноступенчатого D-триггера (D-latch) RS1S2trig(3x(2ANDNOT+2AND))+3x2OR в логическом симуляторе Atanua/Win32 1.0.081116 - Personal Edition:

<http://andserkul.narod.ru/3BBCTDtrig-RS1S2trig-3x-2ANDNOT2AND-3x2OR-.atanua>