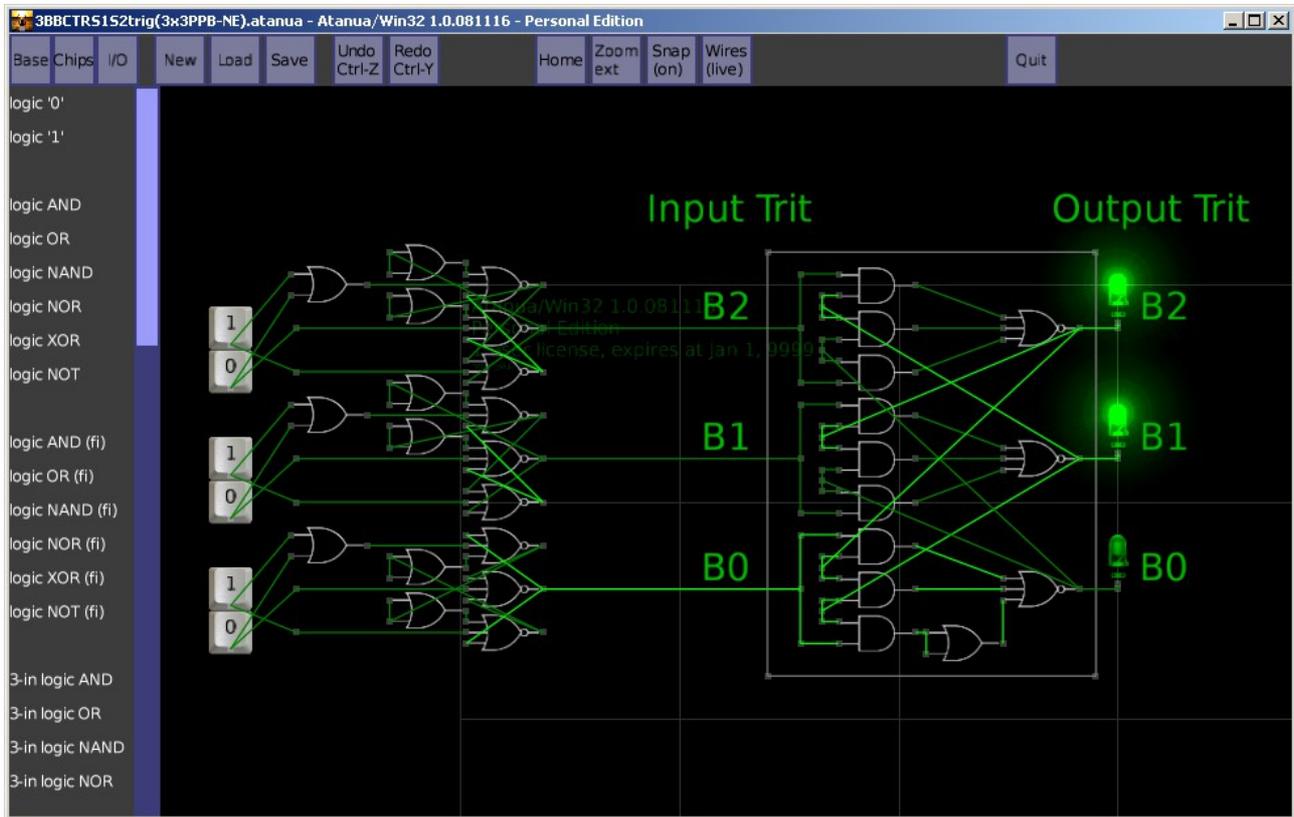


# Троичный трёхбитный (3В ВСТ) RS1S2-триггер 3x3ППБ-НЕ+ДА на трёх трёхходовых переключателях по большинству с переворотом (мажоритарных клапанах с инверсией)



Снимок модели троичного трёхбитного (3В ВСТ) RS1S2-триггера 3x3ППБ-НЕ+ДА в логическом симуляторе Atanua/Win32 1.0.081116 - Personal Edition.

Код модели троичного трёхбитного (3В ВСТ) RS1S2-триггера 3x3ППБ-НЕ+ДА в логическом симуляторе Atanua/Win32 1.0.081116 - Personal Edition:

<http://andserkul.narod.ru/3BBCTRS1S2trig-3x3PPB-NEYES-.atanua>

На рисунке приведён снимок модели трёхбитного триггера на трёх трёхходовых мажоритарных клапанах с инверсией (переключателях по большинству с переворотом, 3ППБ-НЕ) RS1S2-trig(3x3PPB-NE+DA) в логическом симуляторе Atanua, разработанного в нашей лаборатории.

Триггер имеет шесть устойчивых состояний в двух режимах:

1. три состояния  $\{0,1,2\}=\{110,101,011\}$  в режиме с прямым трёхбитным одноединичным кодом на входе  $\{0,1,2\}=\{001,010,100\}$  и
2. три состояния  $\{0,1,2\}=\{001,010,100\}$  в режиме с инверсным трёхбитным (однулевым) кодом на входе  $\{0,1,2\}=\{110,101,011\}$ .

Триггер - инвертирующий, т.е. при прямом коде на входе на выходе инверсный код, а при инверсном коде на входе на выходе прямой код.

Для работы в режиме 1:

все три входных бита устанавливаются в "0" (режим хранения), для переключения в нужное состояние нужный бит устанавливается в "1" и триггер переключается в

нужное состояние, после чего "1" снимается и триггер переходит в режим хранения.

Для работы в режиме 2:

все три входных бита устанавливаются в "1" (режим хранения), для переключения в нужное состояние нужный бит устанавливается в "0" и триггер переключается в нужное состояние, после чего "0" снимается и триггер переходит в режим хранения.

Дополнительный логический элемент ДА (YES, повторитель, буфер) с временем задержки  $1*dt$  на логическом элементе 2ИЛИ предотвращает генерацию триггера при включении.