

Сумматор Склянского, Radix-2, 8-ми битный

Sklansky Radix-2

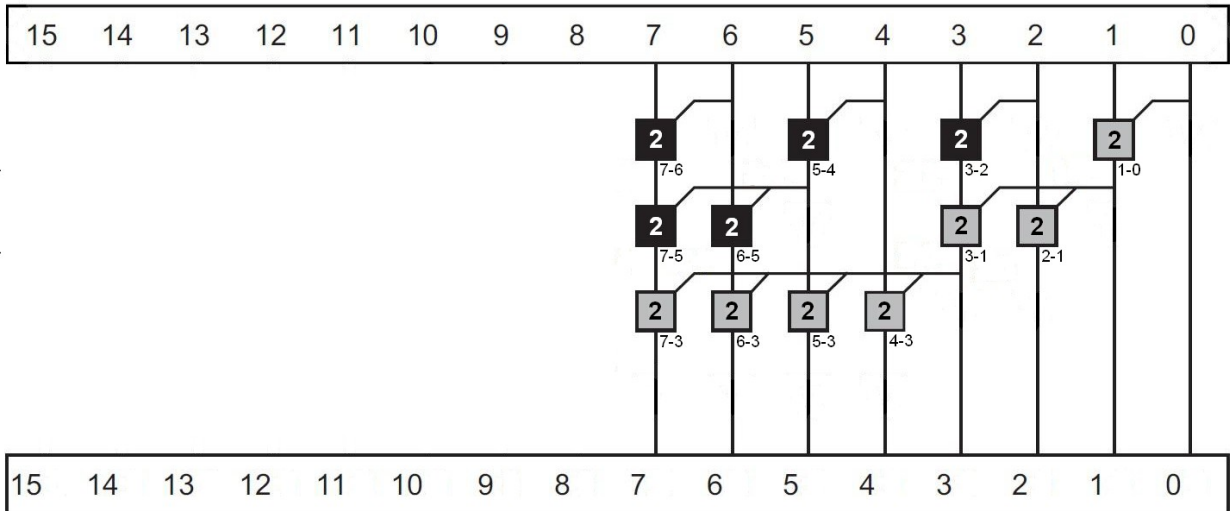


Рис.1. Граф генератора переносов сумматора Склянского, Radix-2, 8-ми разрядного.

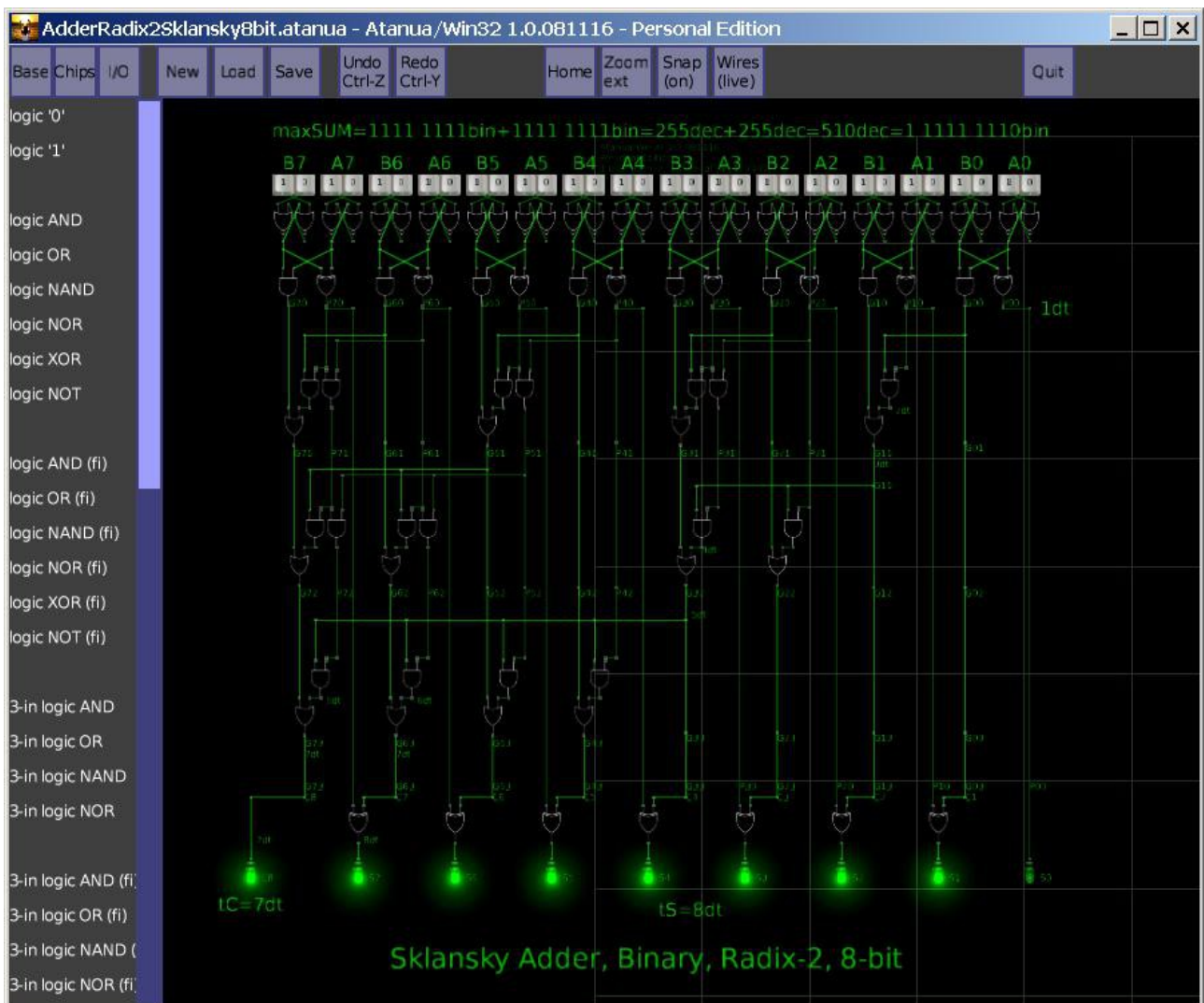


Рис.2. Снимок модели двоичного сумматора Склянского, Radix-2, 8-ми битного

(однобайтного) в логическом симуляторе [Atanua/Win32 1.0.081116 - Personal Edition](#).

Код модели двоичного сумматора Склянского, Radix-2, 8-ми битного (однобайтного, 256-тиричного) в логическом симуляторе Atanua/Win32: <http://andserkul.narod.ru/AdderRadix2Sklansky8bit.atanua>

Так как параллельно префиксные сумматоры, в том числе и Склянского, строят не последовательным соединением блоков с единицей переноса на входе, а целиком двухаргументными (двухоперандными), то в них исчезают понятия «полусумматор» и «полный сумматор», но сохраняются понятия «двухаргументный» и «трёхаргументный» (с единицей переноса на входе), причём «трёхаргументные» (с единицей переноса на входе) теоретически возможны, но практически в них нет почти никакой нужды.

На заре электронной вычислительной техники [Джон фон Нейман](#) определил, что для логических вычислений процессор должен содержать аппаратное АЛУ. Такая архитектура процессора называется [архитектура фон Неймана](#).

При табличном же вычислении логических функций аппаратное АЛУ в процессоре не требуется, что удешевляет процессор и, из-за уменьшения электроники, повышает надёжность процессора (дешевле и надёжнее).

В процессорах же с аппаратными АЛУ табличное вычисление логических функций может быть полезным дополнением, повышающим надёжность процессора, так как в случае неисправности аппаратного АЛУ можно переключиться на табличное вычисление логических функций.

Все параллельно префиксные сумматоры, разработанные для процессоров с аппаратными АЛУ, пригодны и для процессоров с программными АЛУ. При этом, снова обретает значимость сумматор Склянского, который при аппаратной реализации требует аппаратные логические элементы с повышенной нагрузочной способностью (fanout) и был вытеснен сумматором Когге-Стоуна и другими, требующими аппаратные логические элементы с меньшей нагрузочной способностью. При программной же реализации логических элементов такой параметр, как нагрузочная способность, становится не актуальным, а количество логических элементов, а следовательно и вычислений в сумматоре Склянского значительно меньше, чем в сумматоре Когге-Стоуна и ему подобных.

Двоичный сумматор Склянского, Radix-2, 8-ми битный (однобайтный), в виде системы логических уравнений для процессоров с аппаратной (электронной) реализацией АЛУ:

```
'  
'--- Step 0 -----  
P00 = A0 XOR B0  '1dt  
G00 = A0 AND B0  '1dt  
  
P01 = A1 XOR B1  '1dt  
G01 = A1 AND B1  '1dt  
  
P02 = A2 XOR B2  '1dt  
G02 = A2 AND B2  '1dt
```

P03 = A3 XOR B3 '1dt
G03 = A3 AND B3 '1dt

P04 = A4 XOR B4 '1dt
G04 = A4 AND B4 '1dt

P05 = A5 XOR B5 '1dt
G05 = A5 AND B5 '1dt

P06 = A6 XOR B6 '1dt
G06 = A6 AND B6 '1dt

P07 = A7 XOR B7 '1dt
G07 = A7 AND B7 '1dt

'--- Step 1 -----
G10 = G00 '1dt

G11 = G01 OR (P01 AND G00) '3dt

P12 = P02 '1dt
G12 = G02 '1dt

P13 = P03 AND P02 '2dt
G13 = G03 OR (P03 AND G02) '3dt

P14 = P04 '1dt
G14 = G04 '1dt

P15 = P05 AND P04 '2dt
G15 = G05 OR (P05 AND G04) '3dt

P16 = P06 '1dt
G16 = G06 '1dt

P17 = P07 AND P06 '2dt
G17 = G07 OR (P07 AND G06) '3dt

'--- Step 2 -----
G20 = G10 '1dt

G21 = G11 '3dt
G22 = G12 OR (P12 AND G11) '3dt

G23 = G13 OR (P13 AND G11) '5dt

P24 = P14 '1dt
G24 = G14 '1dt

P25 = P15 '1dt
G25 = G15 '1dt

P26 = P16 AND P15 '2dt
G26 = G16 OR (P16 AND G15) '5dt

P27 = P17 AND P15 '2dt
G27 = G17 OR (P17 AND G15) '5dt

'--- Step 3 -----
G30 = G20 '1dt, C1

G31 = G21 '3dt, C2

G32 = G22 '3dt, C3

G33 = G23 '5dt, C4

G34 = G24 OR (P24 AND G23) '7dt, C5

G35 = G25 OR (P25 AND G23) '7dt, C6

G36 = G26 OR (P26 AND G23) '7dt, C7

G37 = G27 OR (P27 AND G23) '7dt, C8

```
'--- Sum -----
S0 = P00          '1dt
S1 = P01 XOR G30 '2dt
S2 = P02 XOR G31 '4dt
S3 = P03 XOR G32 '4dt
S4 = P04 XOR G33 '6dt
S5 = P05 XOR G34 '8dt
S6 = P06 XOR G35 '8dt
S7 = P07 XOR G36 '8dt
S8 =             G37 '7dt, s8=c8=Cout
```

Программа проверки системы логических уравнений двоичного сумматора Склянского, Radix-2, 8-ми битного (однобайтного), на TurboBasic'e:
<http://andserkul.narod.ru/R2SKL8.bas>

Ниже приведён фрагмент программы с заданием трёх программных логических функций — AND, XOR и OR, необходимых для программной реализации сумматора Склянского, в виде двумерных массивов 2x2:

```
DATA 0,0,0,1  REM AND
DATA 0,1,1,0  REM XOR
DATA 0,1,1,1  REM OR

FOR I=0 TO 1
  FOR J=0 TO 1
    READ F2AND[I,J]
    PRINT F2AND[I,J];
  NEXT J
NEXT I
PRINT
FOR I=0 TO 1
  FOR J=0 TO 1
    READ F2XOR[I,J]
    PRINT F2XOR[I,J];
  NEXT J
NEXT I
PRINT
FOR I=0 TO 1
  FOR J=0 TO 1
    READ F2OR[I,J]
    PRINT F2OR[I,J];
  NEXT J
NEXT I
PRINT
```

Двоичный сумматор Склянского, Radix-2, 8-ми битный (однобайтный), в виде системы логических уравнений для процессоров с программной реализацией АЛУ:

```
'--- Step0 -----
P00 = F2XOR[A0,B0]
G00 = F2AND[A0,B0]

P01 = F2XOR[A1,B1]
G01 = F2AND[A1,B1]

P02 = F2XOR[A2,B2]
G02 = F2AND[A2,B2]

P03 = F2XOR[A3,B3]
G03 = F2AND[A3,B3]
```

P04 = F2XOR[A4,B4]
G04 = F2AND[A4,B4]

P05 = F2XOR[A5,B5]
G05 = F2AND[A5,B5]

P06 = F2XOR[A6,B6]
G06 = F2AND[A6,B6]

P07 = F2XOR[A7,B7]
G07 = F2AND[A7,B7]

'--- Step1 -----
G10 = G00

G11 = F2OR[G01,F2AND[P01,G00]] 'OP???

P12 = P02
G12 = G02

P13 = F2AND[P03,P02]
G13 = F2OR[G03,F2AND[P03,G02]]

P14 = P04
G14 = G04

P15 = F2AND[P05,P04]
G15 = F2OR[G05,F2AND[P05,G04]]

P16 = P06
G16 = G06

P17 = F2AND[P07,P06]
G17 = F2OR[G07,F2AND[P07,G06]]

'--- Step2 -----
G20 = G10
G21 = G11

G22 = F2OR[G12,F2AND[P12,G11]]
G23 = F2OR[G13,F2AND[P13,G11]]

P24 = P14
G24 = G14

P25 = P15
G25 = G15

P26 = F2AND[P16,P15]
G26 = F2OR[G16,F2AND[P16,G15]]

P27 = F2AND[P17,P15]
G27 = F2OR[G17,F2AND[P17,G15]]

'--- Step3 -----
G30 = G20
G31 = G21
G32 = G22
G33 = G23

G34 = F2OR[G24,F2AND[P24,G23]]
G35 = F2OR[G25,F2AND[P25,G23]]
G36 = F2OR[G26,F2AND[P26,G23]]
G37 = F2OR[G27,F2AND[P27,G23]]

'--- Sum -----
S0 = P00

```

S1 = F2XOR[P01,G30]
S2 = F2XOR[P02,G31]
S3 = F2XOR[P03,G32]
S4 = F2XOR[P04,G33]
S5 = F2XOR[P05,G34]
S6 = F2XOR[P06,G35]
S7 = F2XOR[P07,G36]
S8 =           G37   'S8=C8=Cout

```

Программа проверки системы логических уравнений двоичного сумматора Склянского, Radix-2, 8-ми битного (однобайтного), для процессоров с программным АЛУ на TurboBasic'e:
<http://andserkul.narod.ru/R2SKL8BP.bas>

Уменьшение fan-out

Основным недостатком сумматоров Склянского считается большая нагрузка на некоторые логические элементы. Так, в сумматоре Склянского, radix-2, 8-бит, на к выходе G32 логического элемента 2-in OR подключено 5 входов (fan-out=5). Этот «недостаток» легко преодолевается добавлением в схему параллельно второго логического элемента 2-in OR и переключением части входов нагрузки на него. При этом получается, что на один логический элемент 2-in OR нагружено 2 входа, а на второй 3 входа (fan-out=3).

Сумматор Когге-Стоуна, radix-2, 8-бит, тоже имеет максимальный fan-out=3.

Количество логических элементов в сумматорах Склянского и Когге-Стоуна, radix-2, 8-бит:

Radix-2, 8-bit	Sklansky	Kogge-Stone
Precomputation	16	16
Step 1	12	20
Step 2	11	16
Step 3	8	8
Postcomputation	7	7
All	54 gates	67 gates

Таким образом можно уменьшить fan-out и в других сумматорах Склянского. При этом получается, что усовершенствованные таким образом сумматоры Склянского, при таком же наибольшем fan-out имеют меньшее количество логических элементов, т.е. более экономичны, чем сумматоры Когге-Стоуна.

Код модели усовершенствованного сумматора Склянского, radix-2, 8-бит, в симуляторе логики Atanua:

<https://andserkul.narod.ru/AdderRadix2Sklansky8bitM.atanua>

Литература:

1. [IMPLEMENTATION OF 32 BIT BRENT KUNG ADDER USING COMPLEMENTARY PASS TRANSISTOR LOGIC](#) By NOEL DANIEL GUNDI. 2.8 Tree Adders. 2.8.1 Sklansky, p.18, Figure 2.5 16-bit Sklansky Adder.
2. [Parallel prefix adders](#). Kostas Vitoroulis, 2006. Presented to Dr. A. J. Al-Khalili. Concordia University. 1960: J. Sklansky - conditional adder.
3. [Delay Analysis of Parallel-Prefix Adders](#). Geeta Rani, Sachin Kumar. Figure 8: 16-bit Sklansky Conditional-Sum Adder
4. [Сумматор Склянского, Radix-2, 4-х битный. Куликов А. С.](#)
5. [Сумматор Склянского, Radix2, 4-х битный, CMOS версия. Куликов А.С.](#)
6. [Сумматор Склянского, Radix-2, 16-ти битный. Куликов А. С.](#)
7. [Сумматор Склянского, Radix-3, 4-х битный. Куликов А. С.](#)
8. [Сумматор Склянского, Radix-3, 8-ми битный. Куликов А. С.](#)
9. [Сумматор Склянского, Radix-4, 4-х битный. Куликов А. С.](#)
10. [Сумматор Склянского, Radix-4, 8-ми битный. Куликов А. С.](#)
11. [Сумматор Склянского, Radix-4, 16-ти битный. Куликов А. С.](#)
12. [Сумматор Склянского, Radix-8, 8-ми битный. Куликов А. С.](#)
13. [Сумматор Склянского, Radix-8, 16-ти битный. Куликов А. С.](#)
14. [Сумматор Склянского, Radix-16, 16-ти битный. Куликов А. С.](#)
15. [Сумматор, троичный, Radix-2, 1-но тритный. Куликов А. С.](#)
16. [Сумматор, троичный, Radix-2, 2-х тритный. Куликов А. С.](#)

Приложение 1.

[TurboBasic 1.0](#)

Куликов А.С., Россия-Русь, Москва, Царицыно, версия 2024.04.03.