

Семиричный семибитный одноединичный 7S-триггер

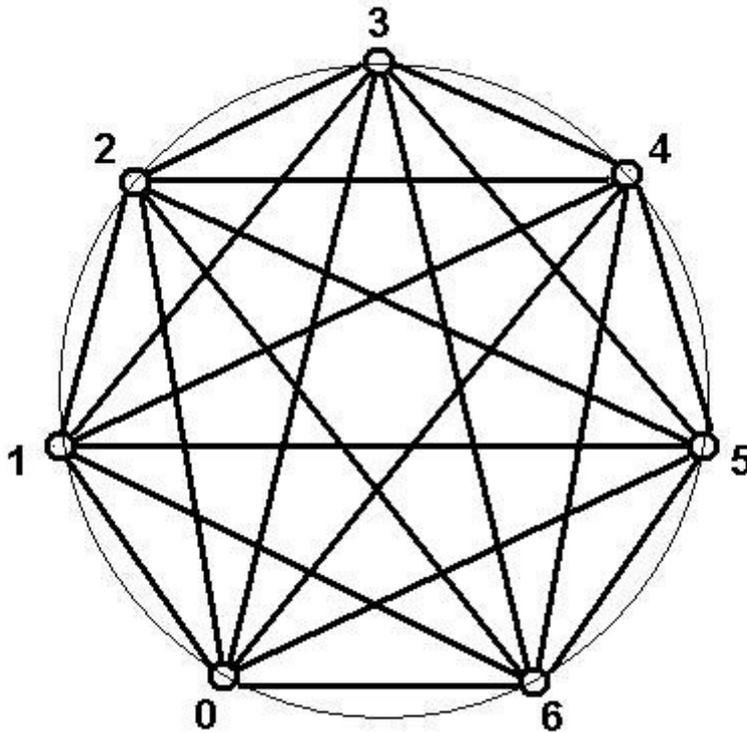


Рис.1. Граф состояний и переходов в семиричном триггере

Семиричный триггер имеет семь устойчивых состояний, возможность перехода (переключения, записи значения) из любого состояния в любое другое состояние без прохождения через промежуточные состояния и возможность считывания записанного в триггер значения (состояния).

Семиричный семибитный 7S-триггер (7Set-триггер, S0S1S2S3S4S5S6-триггер, Set0Set1Set2Set3Set4Set5Set6-триггер) одноединичный (UnoUnary) является семиричным подобием двоичного RS-триггера (2S-триггера, 2Set-триггера, Set0Set1-триггера) и, в зависимости от применённых логических элементов, nИЛИ-НЕ (n-in NOR, NORn) или nИ-НЕ (n-in NAND, NANDn), может быть построен для работы или в семиричной семибитной одноединичной кодировке септитов (7B UU BCS, 7-Bit UnoUnary BinaryCodedSepta) или для работы в семиричной семибитной инверсноодноединичной кодировке септитов (7B IUU BCS, 7-Bit InvertedUnoUnary BinaryCodedSepta).

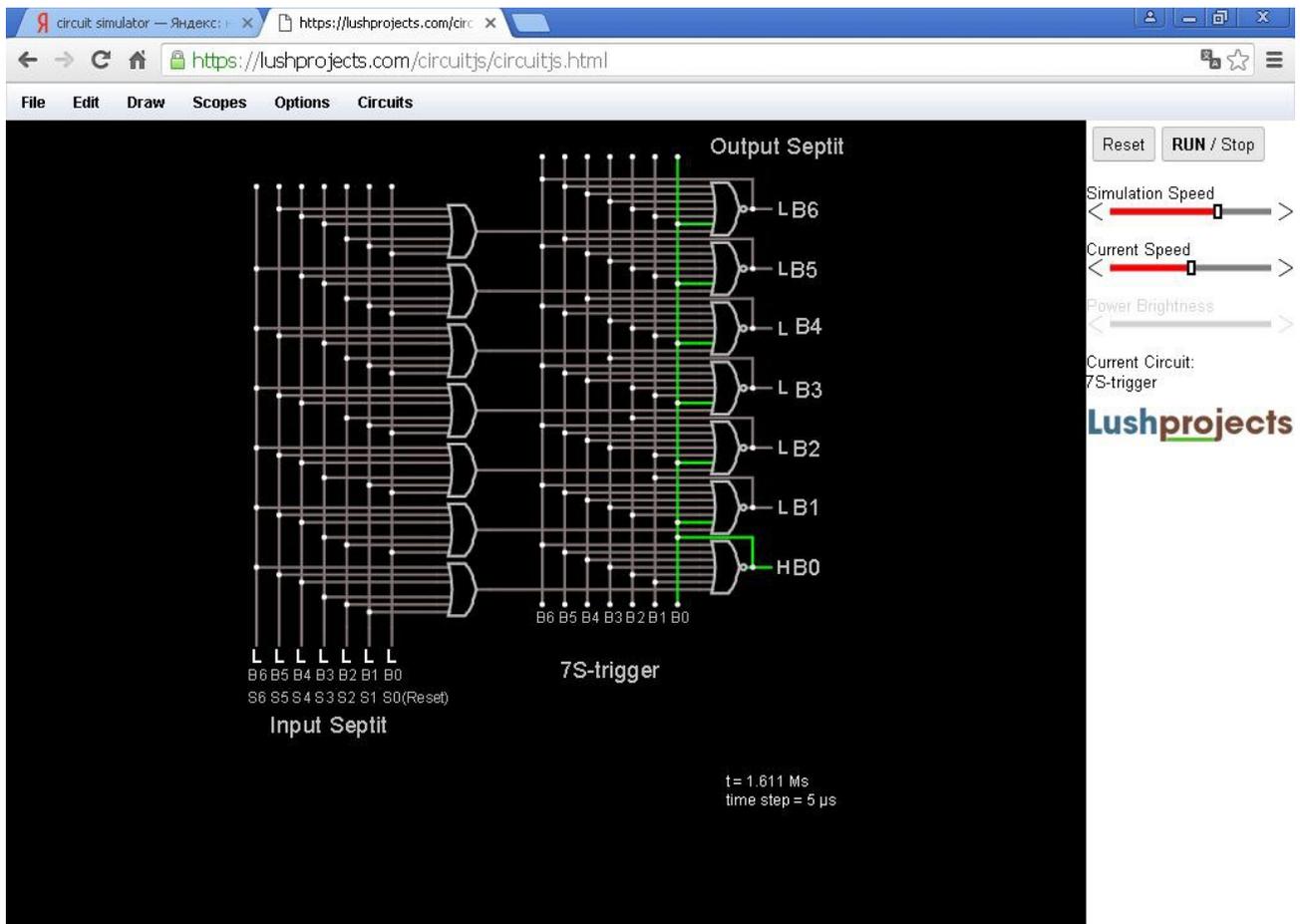


Рис.2. Снимок модели семиричного семибитного одноединичного 7S-триггера (7Set-триггера, S0S1S2S3S4S5S6-триггера, Set0Set1Set2Set3Set4Set5Set6-триггера) в онлайн HTML5-версии симулятора электронных схем Circuit Simulator.

Код модели:

<http://andserkul.narod.ru/7S-trigger.noext>

Андрей Куликов, Россия-Русь, Москва, Царицыно, версия 2019.09.06.